



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ ⑫ Offenlegungsschrift
⑯ ⑯ DE 100 06 927 A 1

⑯ Int. Cl.⁷:
H 03 K 5/13
H 03 K 5/135

⑯ ⑯ Aktenzeichen: 100 06 927.4
⑯ ⑯ Anmeldetag: 16. 2. 2000
⑯ ⑯ Offenlegungstag: 28. 12. 2000

⑯ ⑯ Unionspriorität:
11-168809 15. 06. 1999 JP
⑯ ⑯ Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
⑯ ⑯ Vertreter:
WINTER, BRANDL, FÜRNİSS, HÜBNER, RÖSS,
KAISER, POLTE, Partnerschaft, 85354 Freising

⑯ ⑯ Erfinder:
Hayase, Kiyoshi, Tokio/Tokyo, JP; Ishimi, Kouichi,
Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ ⑯ Verzögerungsschaltung, Taktzeugungsschaltung und Phasensynchronisierungsschaltung

⑯ ⑯ Eine Verzögerungsschaltung enthält einen Phasenregelkreis bzw. PLL zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Takts, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Takts zu erzeugen, zur Erzeugung des anderen Takts unter Verwendung wenigstens einer Mehrzahl von in einer Schleife geschlossenen Verzögerungselementen, wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zur Änderung des Werts des Steuersignals, derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird. Die Verzögerungsschaltung enthält des weiteren ein Register zur Speicherung von Informationen, um eine bestimmte Zeitverzögerung festzulegen, und eine Verzögerungseinheit, welche eine Mehrzahl von Verzögerungselementen enthält, wobei jedes davon einen Eingang mit einer durch das Steuersignal von dem PLL gesteuerten Zeitverzögerung bereitstellt.

DE 100 06 927 A 1

DE 100 06 927 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf eine Verzögerungsschaltung zur Verzögerung eines Eingangssignals wie eines Taktes, auf eine Takterzeugungsschaltung zur Erzeugung eines Takts und auf eine Phasensynchronisierungsschaltung zur Synchronisierung eines Eingangstakts mit einem Bezugssignal.

Fig. 13 zeigt ein veranschaulichendes Blockdiagramm, welches die Struktur einer Takterzeugungsschaltung nach dem Stand der Technik (oder eine Phasensynchronisierungsschaltung) zur Erzeugung eines Ausgangstakts synchron mit einem Eingangstakt unter Verwendung eines Phasenregelkreises bzw. eines PLL (phase locked loop) darstellt, wobei die Frequenz des Ausgangstakts entweder gleich derjenigen des Eingangstakts ist oder ein Vielfaches davon beträgt. Entsprechend der Figur bezeichnet Bezugssymbol 1 einen spannungsgesteuerten Oszillator bzw. einen VCO (voltage-controlled oscillator), Bezugssymbol 3 bezeichnet einen Frequenzteiler zur Teilung eines Ausgangstakts von dem VCO 1, wobei der Ausgangstakt eine Frequenz besitzt, die ein Vielfaches derjenigen des Eingangstakts beträgt. Bezugssymbol 4 bezeichnet einen Oszillator zur Erzeugung eines Bezugstakts als Eingangstakt, Bezugssymbol 6 bezeichnet eine Ladungspumpe (charge pump) zum Vergleich der Phase des frequenzgeteilten Takts von dem Frequenzteiler 3 mit derjenigen des Bezugstakts von dem Oszillator 4 und zur Erzeugung und Bereitstellung einer Steuerspannung mit einem Wert entsprechend der Differenz zwischen den Phasen des frequenzgeteilten Takts und des Bezugstakts, um sie bezüglich der Phase gleich zu machen, Bezugssymbol 8 bezeichnet einen in dem VCO 1 enthaltenen Inverter, und Bezugssymbol 9 bezeichnet einen PLL.

Im Betrieb erzeugt der VCO 1 einen Ausgangstakt mit einer Frequenz, die n-mal so groß wie diejenige des Bezugstakts ist und stellt danach den Ausgangstakt dem Frequenzteiler 3 bereit ebenso wie außerhalb der Takterzeugungsschaltung. Der Frequenzteiler 3 teilt die Frequenz des Ausgangstakts, um einen frequenzgeteilten Takt zu erzeugen und der Ladungspumpe 6 bereitzustellen. Die Ladungspumpe 6 vergleicht danach die Phase des frequenzgeteilten Takts von dem Frequenzteiler 3 mit derjenigen des Bezugstakts von dem Oszillator 4 und erzeugt ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des frequenzgeteilten Takts und des Bezugstakts, um sie miteinander zu synchronisieren. Genauer dargestellt, wenn der frequenzgeteilte Takt gegenüber dem Bezugstakt führt, erhöht die Ladungspumpe 6 den Wert bzw. die Spannung des Steuersignals. Andererseits verringert die Ladungspumpe 6 den Wert bzw. die Spannung des Steuersignals. Wenn der frequenzgeteilte Takt von dem Frequenzteiler 3 bezüglich der Phase mit dem Bezugstakt von dem Oszillator 4 synchronisiert worden ist, begibt sich der PLL 9 in seinen gesperrten bzw. verriegelten Zustand (locked state). Wenn der PLL 9 einen Übergang in seinen gesperrten Zustand durchführt, wird der frequenzgeteilte Takt, welcher durch Teilen des Ausgangs des VCO 1 durch n mittels des Frequenzteilers 3 erzielt wird, gleich dem Bezugstakt in einer Pulswiederholungsperiode.

Der PLL 9 kann eine Mehrzahl von Teilern 3 enthalten. In diesem Fall ermöglicht es die Takterzeugungsschaltung nach dem Stand der Technik eine Änderung zwischen Frequenzmultiplikationsverhältnissen durchzuführen und das von dem VCO definierte Frequenzmultiplikationsverhältnis durch Wählen eines Frequenzteilers 3 aus der Mehrzahl von Teilern entsprechend dem gewünschten Frequenzmultiplikationsverhältnis wie gewünscht einzustellen bzw. festzulegen. Wenn beispielsweise das gewählte Frequenzmultiplika-

tionsverhältnis 1 : n beträgt, erzeugt der PLL 9 einen Ausgangstakt mit einer Frequenz, welche n-mal so groß wie diejenige des Bezugstakts ist. Des weiteren kann die Takterzeugungsschaltung nach dem Stand der Technik eine Mehrzahl von Oszillatoren 4 enthalten. Die Takterzeugungsschaltung kann die Frequenz des Bezugstakts durch Wählen eines Oszillators 4 aus der Mehrzahl von Oszillatoren ändern. Die Takterzeugungsschaltung kann somit die Pulswiederholungsrate des Ausgangstakts durch Umschalten zwischen der Mehrzahl von Teilern 3 und/oder durch Umschalten zwischen der Mehrzahl von Oszillatoren 4 ändern. Wenn jedoch ein derartiges Umschalten durchgeführt wird, besteht eine Notwendigkeit den PLL wiederum in seinen gesperrten Zustand zu versetzen, da das Umschalten den PLL in seinen nichtgesperrten Zustand versetzt, wodurch die Zeit erhöht wird, welche zur Änderung der Pulswiederholungsperiode des Ausgangstakts erforderlich ist. Um die zur Änderung der Pulswiederholungsperiode des Ausgangstakts erforderliche Zeit zu verringern, wird ein Verfahren nach dem Stand der Technik offenbart, wobei das Verfahren die Schritte des Erzeugens einer Mehrzahl von Takten mit Differenzpulswiederholungsperioden unter Verwendung einer Mehrzahl von Oszillatoren 4 und einer Mehrzahl von PLL's 9 wie in Fig. 14 dargestellt und des Auswählens eines Takts aus der Mehrzahl von Takten unter Verwendung eines Multiplexers 10 aufweist. Jedoch bietet dieses Verfahren nach dem Stand der Technik keine Alternative die Größe der Schaltung zu erhöhen, um die Pulswiederholungsperiode des Ausgangstakts über einen weiten Bereich und in Schritten eines feinen Zeitschritts zu erhöhen. Darüber hinaus besitzt das Verfahren nach dem Stand der Technik den Nachteil, dass das Ändern der Pulswiederholungsperiode des Ausgangstakts eine Phasenverschiebung oder dergleichen und daher oder ein Zittern (jitter) des Ausgangstakts hervorruft.

Fig. 15 zeigt ein Blockdiagramm, welches die Struktur eines Beispiele einer Verzögerungsschaltung nach dem Stand der Technik darstellt, die zum Einstellen einer Verzögerungszeit geeignet ist, welche die Schaltung für einen Eingang bereitstellt. Entsprechend der Figur bezeichnet Bezugssymbol 11 einen Inverter, Bezugssymbol 12 bezeichnet einen Multiplexer, Bezugssymbol 19 bezeichnet ein Register, und Bezugssymbol 46 bezeichnet die Verzögerungsschaltung. Wie in Fig. 15 dargestellt enthält die Verzögerungsschaltung 46 eine Mehrzahl von Invertern 11, die in Serie angeschlossen sind, wobei die Anzahl der Inverter 11 gerade ist. Die Mehrzahl der in Serie angeschlossenen Inverter 11 ist in eine Mehrzahl von Sätzen unterteilt, welche jeweils zwei Inverter enthalten, und eine Mehrzahl von Leitungen, die in Intervallen eines Satzes von zwei Invertern angeordnet sind, und von anderen zwei Leitungen von zwei Enden der Serie von vielen Invertern 11 ist an den Multiplexer 12 angeschlossen. Der Multiplexer 12 kann die Zeitverzögerung durch Wählen einer Leitung aus der Mehrzahl von Leitungen entsprechend dem Inhalt des Registers 19 ändern. Die Verwendung eines PLL's, welcher die Verzögerungsschaltung wie in Fig. 15 dargestellt enthält, ermöglicht es die Pulswiederholungsperiode eines Ausgangstakts einzustellen. Jedoch besitzt dieses Verfahren den Nachteil, dass es die Zeitverzögerung nicht in Schritten eines willkürlichen Zeitschritts außer dem durch eine Gatterverzögerung (gate delay) bestimmten Zeitschritt ändern kann, wobei sich die Zeitverzögerung infolge einer Änderung der Umgebungs-temperatur oder einer Änderung der Spannung einer Energiezufuhr ändern kann, und daher kann sie die Pulswiederholungsperiode des Ausgangstakts nicht in Schritten eines genauen Zeitschritts ändern.

Fig. 16 zeigt ein Blockdiagramm, welches die Struktur einer anderen Verzögerungsschaltung nach dem Stand der

Technik darstellt, wobei eine Mehrzahl von Verzögerungsschaltungen in Serie angeschlossen ist, um die durch die Verzögerungsschaltung bereitgestellte Zeitverzögerung über einen weiten Bereich oder in Schritten eines feinen Zeitschriffs einzustellen. Wenn wie in **Fig. 16** dargestellt zwei Verzögerungsschaltungen **46a** und **46b** beispielsweise in Serie angeschlossen sind, kann die erste Verzögerungsschaltung **46a** derart konstruiert sein, dass die Verzögerungszeit in Schritten eines kleinen Zeitschriffs eingestellt wird, und die zweite Verzögerungsschaltung **46** kann so konstruiert sein, dass die Zeitverzögerung in Schritten eines großen Zeitschriffs eingestellt wird. Die durch die ersten und zweiten Verzögerungsschaltungen **46a** und **46b** bereitgestellten Zeitverzögerungen werden durch untere bzw. obere Bits des Registers **19** definiert. In diesem Fall kann die erste Verzögerungsschaltung **46a** acht Zeitverzögerungseinstellungen besitzen, und wenn die von irgendwelchen zwei Invertern **11** in der ersten Verzögerungsschaltung **46a** bereitgestellte Zeitverzögerung Δd ist und die durch irgendwelche zwei Inverter **11** in der zweiten Verzögerungsschaltung **46b** bereitgestellte Zeitverzögerung ΔD ist, muß ΔD gleich ($\Delta d + 8$) sein. Es ist jedoch wegen einer Änderung der Spannung einer Energiezufuhr oder einer Änderung der Umgebungstemperatur oder wegen einer Variation des Herstellungsprozesses unmöglich ΔD gleich ($\Delta d + 8$) zu allen Zeiten zu machen. Wenn ΔD nicht zu allen Zeiten ($\Delta d + 8$) ist, kann die kleinste Änderung der durch die Verzögerungsschaltung bereitgestellten Zeitverzögerung größer als Δd werden. Des weiteren besteht eine Möglichkeit, dass obwohl der Inhalt des Registers **19** verändert wird, so dass die Verzögerungszeit erhöht ist, sich die Verzögerungszeit tatsächlich verringert.

Fig. 17 zeigt ein Blockdiagramm, welches die Struktur einer anderen Verzögerungsschaltung nach dem Stand der Technik wie in der Veröffentlichung der japanischen Patentanmeldung (KOKAI) Nr. 59-63822 beispielsweise offenbart darstellt. Entsprechend der Figur bezeichnet Bezugssymbol **50** einen Phasen-/Frequenzkomparator zum Vergleich der Phase oder der Frequenz eines daran angelegten Bezugstakts mit derjenigen eines frequenzgeteilten Takts von einem Frequenzteiler **3**, und Bezugssymbol **51** bezeichnet einen Schleifenfilter und einen Pegelschieber zur Erzeugung eines Steuersignals aus dem Ausgang des Phasen-/Frequenzkomparators **50** und zur Bereitstellung des Steuersignals einem VCO **1** und einer Verzögerungsleitung **53**.

Im Betrieb stellt der VCO **1** seinen Ausgang dem Frequenzteiler **3** bereit, und der Frequenzteiler **3** teilt die Frequenz des Ausgangs. Danach stellt der Frequenzteiler **3** einen frequenzgeteilten Takt dem Phasen-/Frequenzkomparator **50** bereit. Der Phasen-/Frequenzkomparator **50** vergleicht die Phase oder die Frequenz des frequenzgeteilten Takts mit der entsprechenden Größe des Bezugstakts. Der Phasen-/Frequenzkomparator **50** stellt danach seinen Ausgang dem Schleifenfilter und dem Pegelschieber **51** bereit. Der Schleifenfilter und Pegelschieber **51** stellt ein Steuersignal der Verzögerungsleitung **53** bereit. Das Steuersignal besitzt einen Wert, welcher die Phasendifferenz zwischen den Phasen des Bezugstakts und des frequenzgeteilten Takts anzeigt und ändert sich entsprechend dem Pulssignal von dem Phasen-/Frequenzkomparator **50**. Das Steuersignal wird ebenfalls an die Verzögerungsleitung **53** angelegt. Das durch die Verzögerungsleitung **53** bereitgestellte Zeitverzögerung wird somit auf einen vorbestimmten Wert entsprechend dem Steuersignal festgelegt.

Eine Schwierigkeit bei der in **Fig. 13** dargestellten Taktzeugungsschaltung nach dem Stand der Technik besteht darin, dass, da der in der Schaltung enthaltene PLL die Puls wiederholungsperiode des Ausgangstakts auf der Grundlage

der Frequenzmultiplikation des Eingangstakts und der Frequenzteilung des Frequenz multiplizierten Takts definiert, sie die Puls wiederholungsperiode des Ausgangstakts nicht über einen weiten Bereich und in Schritten eines feinen Zeitschriffs einstellen kann.

Eine Schwierigkeit bei der in **Fig. 5** dargestellten Verzögerungsschaltung nach dem Stand der Technik besteht darin, dass, da die Zeitverzögerung sich infolge einer Änderung des Herstellungsverfahrens oder einer Änderung der Umgebungs faktoren ändern kann, sie nicht genau die Zeitverzögerung in Schritten oder einem bestimmten Zeitschritt definieren kann, so dass es nicht möglich ist eine Taktzeugungsschaltung vorzusehen, welche die Puls wiederholungsperiode und Phase des Ausgangstakts in Schritten eines bestimmten Zeitschriffs genau festlegen kann.

Eine Schwierigkeit bei der anderen in **Fig. 16** dargestellten Verzögerungsschaltung nach dem Stand der Technik, wobei eine Mehrzahl von Verzögerungsschaltungen in Serie angeschlossen ist, um die von der Verzögerungsschaltung bereitgestellte Zeitverzögerung über einen weiten Bereich und in Schritten eines feinen Zeitschriffs einzustellen, besteht darin, dass, da es unmöglich ist die von jeder Verzögerungsschaltung bereitgestellte Zeitverzögerung zu allen Zeiten wegen einer Änderung einer Energiezufuhr oder einer Änderung der Umgebungstemperatur oder einer Änderung in dem Herstellungsverfahren konstant zu halten, die kleinste Änderung der durch die Verzögerungsschaltung bereitgestellten Zeitverzögerung größer werden kann als ihr ursprünglicher Wert und dass die Möglichkeit besteht, dass eine zur Erhöhung der Zeitverzögerung durchgeführte Steuerung umgekehrt die Zeitverzögerung verringert.

Eine Schwierigkeit bei der in **Fig. 17** dargestellten anderen Verzögerungsschaltung nach dem Stand der Technik besteht darin, dass, obwohl es verhindert werden kann, dass sich die Zeitverzögerung infolge einer Änderung des Herstellungsverfahrens oder einer Änderung von Umweltfaktoren durch die Bildung von jedem in der Verzögerungsleitung **53** enthaltenen Verzögerungselement auf dieselbe Weise ändert, wie jedes in dem VCO **1** enthaltene Verzögerungselement gebildet wird, sie die Verzögerungszeit nicht in Schritten eines Zeitschriffs frei ändern kann.

Aufgabe der vorliegenden Erfindung ist es, die oben beschriebenen Schwierigkeiten zu überwinden. Insbesondere ist es Aufgabe der vorliegenden Erfindung eine Verzögerungsschaltung zu schaffen, die zum genauen und freien Ändern der Zeitverzögerung in Schritten eines bestimmten Zeitschriffs unabhängig von einer Änderung des Herstellungsverfahrens oder einer Änderung von Umweltfaktoren geeignet ist, eine Taktzeugungsschaltung bereitzustellen, die zum genauen Ändern der Puls wiederholungsperiode und der Phase eines Ausgangstakts in Schritten eines bestimmten Zeitschriffs unter Verwendung der Verzögerungsschaltung geeignet ist, und eine Phasensynchronisierungsschaltung bereitzustellen, die zum genauen Ändern der Phase eines Ausgangstakts in Schritten eines bestimmten Zeitschriffs und zum genauen Synchronisieren des Ausgangstakts mit einem anderen Takt geeignet ist.

Die Lösung der Aufgabe erfolgt durch die Merkmale der nebengeordneten unabhängigen Ansprüche.

Entsprechend einem ersten Gesichtspunkt der vorliegenden Erfindung wird eine Verzögerungsschaltung bereitgestellt mit: einer Oszillationseinheit zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines anderen zu vergleichenden Takts, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Takts zu erzeugen, zum Erzeugen des anderen Takts unter Verwendung wenigstens einer Mehrzahl von Verzögerungselementen,

welche in einer Schleife angeschlossen sind, wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird; einer Speichereinheit zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen; und einer Verzögerungseinheit, welche eine Mehrzahl von Verzögerungselementen enthält, von denen jedes einen Eingang mit einer Zeitverzögerung bereitstellt, die durch das Steuersignal von der Oszillationseinheit gesteuert wird, zur Bestimmung der Anzahl von Verzögerungselementen, durch welche das ein Eingangssignal hindurchtreten soll, entsprechend den in der Speichereinheit gespeicherten Informationen, um das Eingangssignal mit der vorbestimmten Zeitverzögerung zu versehen. Somit kann die Verzögerungsschaltung genau die Zeitverzögerung in Schritten eines vorbestimmten Zeitschritts steuern. Obwohl sogar die von der Verzögerungseinheit bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energiezufuhr sich ändert, tritt dieselbe Änderung in der Oszillationseinheit auf, um die Oszillationseinheit zur Reduzierung der Phasendifferenz auf null wirksam zu machen, welche hervorgerufen wird durch die Änderung zwischen den Phasen des durch die Oszillationseinheit erzeugten Taks und des Bezugstakts, und daher kehrt die Zeitverzögerung, welche dem Eingangssignal unmittelbar durch die Verzögerungseinheit bereitgestellt wird, leicht auf einen gewünschten festgelegten Wert zurück.

Vorzugsweise werden die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Oszillationseinheit enthalten sind, in demselben Halbleiterprozess hergestellt, bei welchem die in der Mehrzahl vorkommenden Verzögerungselemente hergestellt werden, welche in der Verzögerungseinheit enthalten sind. Änderungen in dem Herstellungsprozess rufen keine Änderung in der Zeitverzögerung von dem gewünschten festgelegten Wert hervor.

Entsprechend einer bevorzugten Ausführungsform der vorliegenden Erfindung kann die Verzögerungsschaltung eine Mehrzahl von in Serie angeschlossenen Verzögerungsschaltungen aufweisen, wobei jede von ihnen die Oszillationseinheit, die Speichereinheit und die Verzögerungseinheit enthält, und jede der in der Mehrzahl vorkommenden Verzögerungsschaltungen kann die vorbestimmte Verzögerungszeit, welche einem daran angelegten Eingang bereitgestellt werden soll, in Schritten eines unterschiedlichen Zeitschritts ändern. Die Verzögerungsschaltung kann somit die dem Eingangssignal bereitzustellende Zeitverzögerung über einen breiten Bereich in Schritten eines feinen Zeitschritts ändern. In jeder der in der Mehrzahl vorkommenden Verzögerungsschaltungen können die in der Mehrzahl vorkommenden Verzögerungselemente, die in der Oszillationseinheit enthalten sind, in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Verzögerungselemente hergestellt werden, die in der Verzögerungseinheit enthalten sind.

Entsprechend einem anderen Gesichtspunkt der vorliegenden Erfindung wird eine Taktzeugungsschaltung bereitgestellt mit: wenigstens einer Verzögerungsschaltung, welche eine Oszillationseinheit zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Taks, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Taks zu erzeugen, zum Erzeugen des anderen Taks unter Verwendung wenigstens einer Mehrzahl von in einer Schleife angeschlossenen Verzögerungselementen, welche in einer Schleife angeschlossen sind, wobei eine durch jedes

der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird, eine Speichereinheit zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen, und eine Verzögerungseinheit enthält, welche eine Mehrzahl von Verzögerungselementen enthält, von denen jede einen Eingang mit einer Zeitverzögerung bereitstellt, die durch das Steuersignal von der Oszillationseinrichtung gesteuert wird, zur Bestimmung der Anzahl von Verzögerungselementen, durch welche ein Eingangssignal hindurchtreten soll, entsprechend den in der Speichereinheit gespeicherten Informationen, um das Eingangssignal mit der vorbestimmten Zeitverzögerung zu versehen; und einer Taktzeugungseinheit, welche zusammen mit wenigstens der Verzögerungsschaltung eine Schleife bildet, zur Erzeugung eines Taktpulses mit einer bestimmten elementaren Pulswiederholungsperiode und deren Bereitstellung an die Verzögerungsschaltung und zur Erzeugung eines Taks mit einer vorbestimmten Pulswiederholungsperiode im Zusammenwirken mit der Verzögerungsschaltung. Somit kann die Taktzeugungsschaltung die Pulswiederholungsperiode eines Ausgangstakts in Schritten eines vorbestimmten Zeitschritts genau ändern. Obwohl sich sogar die Zeitverzögerung, welche von der Verzögerungseinheit in der Verzögerungsschaltung bereitgestellt wird, infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung der Energiezufuhr ändert, tritt dieselbe Änderung in der Oszillationseinheit der Verzögerungsschaltung auf, um die Oszillationseinheit zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von der Oszillationseinheit erzeugten Taks und des Bezugstakts hervorgerufen wird, und daher kehrt die Pulswiederholungsperiode des von der Verzögerungsschaltung definierten Ausgangstakts unmittelbar und leicht auf einen gewünschten festgelegten Wert zurück. Vorzugsweise können die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Oszillationseinheit enthalten sind, in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Verzögerungselemente hergestellt werden, welche in der Verzögerungseinheit enthalten sind.

Entsprechend einer bevorzugten Ausführungsform der vorliegenden Erfindung enthält die Taktzeugungseinrichtung eine Mehrzahl von in Serie angeschlossenen Verzögerungsschaltungen, von denen jede eine Oszillationseinheit enthält zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Taks, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Taks zu erzeugen, zum Erzeugen des anderen Taks unter Verwendung wenigstens einer Mehrzahl von in einer Schleife angeschlossenen Verzögerungselementen, wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird, eine Speichereinheit zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen, und eine Verzögerungseinheit, welche eine Mehrzahl von Verzögerungselementen enthält, von denen jedes einen Eingang mit einer Zeitverzögerung bereitstellt, welche durch das Steuersignal von der Oszillationseinrichtung gesteuert wird, zur Bestimmung der Anzahl von Verzögerungselementen, durch welche ein Eingangssignal hindurchtreten soll, entsprechend den in der Speichereinheit gespeicherten Informationen, um das Eingangssignal mit

der vorbestimmten Zeitverzögerung zu versehen, wobei jede der in der Mehrzahl vorkommenden Verzögerungsschaltungen geeignet ist eine bestimmte Zeitverzögerung, welche einem daran angelegten Eingang bereitzustellen ist, in Schritten eines unterschiedlichen Zeitschritts zu ändern, und dass die in der Mehrzahl vorkommenden Verzögerungsschaltungen zusammen mit der Takterzeugungseinrichtung eine Schleife bilden. Des weiteren können die in der Mehrzahl vorkommenden Verzögerungsschaltungen zusammen mit der Takterzeugungseinheit eine Schleife bilden. Die Takterzeugungsschaltung kann somit eine elementare Pulswiederholungsperiode des Ausgangstakts aufrechterhalten. In jeder der in der Mehrzahl vorkommenden Verzögerungsschaltungen können die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Oszillationseinheit enthalten sind, in demselben Herstellungsprozess wie die in der Mehrzahl vorkommenden Verzögerungselemente hergestellt werden, welche in der Verzögerungseinheit enthalten sind. Änderungen in dem Herstellungsprozess rufen keine Änderung in der Pulswiederholungsperiode des Ausgangstakts von einem gewünschten festgelegten Wert hervor.

Entsprechend einer anderen bevorzugten Ausführungsform der vorliegenden Erfindung ist die Takterzeugungseinheit eine Einheit zum Invertieren eines Ausgangs der Verzögerungsschaltung, welche die Schleife zusammen mit der Takterzeugungseinheit bildet, um den Takt mit der vorbestimmten Pulswiederholungsperiode in Zusammenarbeit mit der Verzögerungsschaltung zu erzeugen.

Entsprechend einer anderen bevorzugten Ausführungsform der vorliegenden Erfindung enthält die Takterzeugungseinheit eine Steuereinheit zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Taks, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Taks zu erzeugen, zum Erzeugen des anderen Taks unter Verwendung der ersten in einer Schleife gebildeten Verzögerungseinheit, wobei eine von der Verzögerungseinheit bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird, und eine zweite Verzögerungseinheit zum Invertieren eines Ausgangs der Verzögerungsschaltung, welche zusammen mit der Takterzeugungseinrichtung die Schleife bildet, und zum Bereitstellen des Ausgangs mit einer Zeitverzögerung, welche durch das Steuersignal von der Steuereinheit gesteuert wird, um den Takt mit der vorbestimmten Pulswiederholungsperiode im Zusammenwirken mit der Verzögerungsschaltung zu erzeugen. Die Takterzeugungsschaltung kann somit eine elementare Pulswiederholungsperiode des Ausgangstakts aufrechterhalten und die Pulswiederholungsperiode des Ausgangstakts in Schritten eines bestimmten Zeitschritts genau ändern.

Vorzugsweise kann die Steuereinheit eine Mehrzahl von in Serie angeschlossenen Verzögerungselementen enthalten, welche als die in einer Schleife gebildete erste Verzögerungseinheit angeordnet sind, wobei eine durch jede der in der Mehrzahl vorkommenden Verzögerungselemente vorge sehene Zeitverzögerung durch das Steuersignal gesteuert wird. Des weiteren kann die zweite Verzögerungseinheit der Takterzeugungseinheit eine Mehrzahl von in Serie angeschlossenen Verzögerungen enthalten, wobei eine durch jede der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal von der Steuereinheit gesteuert wird. Die Takterzeugungsschaltung kann somit eine elementare Pulswiederholungsperiode des Ausgangstakts aufrechterhalten und somit die Pulswiederholungsperiode des Ausgangstakts in Schritt-

ten eines bestimmten Zeitschritts genau ändern. Vorzugsweise können die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Steuereinheit enthalten sind, in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Verzögerungselemente hergestellt werden, die in der zweiten Verzögerungseinheit der Takterzeugungseinheit enthalten sind. Änderungen in dem Herstellungsprozess rufen keine Änderung in der Pulswiederholungsperiode des Ausgangstakts von einem gewünschten festgelegten Wert hervor.

Als Alternative kann die Steuereinheit eine digitale Verzögerungsleitung enthalten, welche als die erste Verzögerungseinheit angeordnet ist, wobei eine durch die digitale Verzögerungsleitung bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird. Des weiteren kann die zweite Verzögerungseinheit der Takterzeugungseinheit eine digitale Verzögerungsleitung enthalten, wobei eine Zeitverzögerung, welche durch die digitale Verzögerungsleitung bereitgestellt wird, durch das Steuersignal von der Steuereinheit gesteuert wird.

Entsprechend einer anderen bevorzugten Ausführungsform der vorliegenden Erfindung besitzt der an wenigstens eine Verzögerungsschaltung angelegte Bezugstakt dieselbe Frequenz wie der an die Takterzeugungseinheit angelegte Bezugstakt. Die Takterzeugungsschaltung kann somit eine elementare Pulswiederholungsperiode des Ausgangstakts aufrechterhalten und somit die Pulswiederholungsperiode des Ausgangstakts in Schritten eines bestimmten Zeitschritts durch Verwendung lediglich eines Bezugstakts genau ändern.

Entsprechend einer anderen bevorzugten Ausführungsform der vorliegenden Erfindung enthält die Takterzeugungsschaltung des weiteren wenigstens eine andere Verzögerungsschaltung zur Einstellung der Phase des Taks mit der vorbestimmten Pulswiederholungsperiode von der Takterzeugungseinheit, wobei die andere Verzögerungsschaltung eine Oszillationseinheit zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Taks enthält, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Taks zu erzeugen, zum Erzeugen des anderen Taks unter Verwendung wenigstens einer Mehrzahl von in einer Schleife angeschlossenen Verzögerungselementen, wobei eine durch jede der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird, eine Speichereinheit zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen, und eine Verzögerungseinheit, welche eine Mehrzahl von Verzögerungselementen enthält, von denen jedes einen Eingang mit einer Verzögerungszeit bereitstellt, welche durch das Steuersignal von der Oszillationseinheit gesteuert wird, zur Bestimmung der Anzahl von Verzögerungselementen, durch welche ein Eingangssignal hindurchtreten soll, entsprechend den in der Speichereinrichtung gespeicherten Informationen, um den Takt von der Takterzeugungseinheit mit der vorbestimmten Zeitverzögerung zu versehen. Die Takterzeugungsschaltung kann somit eine elementare Pulswiederholungsperiode des Ausgangstakts aufrechterhalten und die Phase des Ausgangstakts über einen weiten Bereich in Schritten eines feinen Zeitschritts genau ändern.

Entsprechend einem weiteren Gesichtspunkt der vorliegenden Erfindung wird eine Phasensynchronisierungsschaltung bereitgestellt mit: einer Oszillationseinheit zum Vergleichen der Phase eines daran angelegten ersten Bezugstakts.

takts mit derjenigen eines zu vergleichenden anderen Takts, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des ersten Bezugstakts und des anderen Takts zu erzeugen, zum Erzeugen des anderen Takts unter Verwendung wenigstens einer Mehrzahl von in einer Schleife angeschlossenen Verzögerungselementen, wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals, so dass der andere Takt in Phase mit dem ersten Bezugstakt gebracht wird; einer Speichereinheit zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen; einer Verzögerungseinheit, welche eine Mehrzahl von Verzögerungselementen enthält, von denen jedes einen Eingang mit einer Zeitverzögerung bereitstellt, welche durch das Steuersignal von der Oszillationseinheit gesteuert wird, zum Ändern der Anzahl von Verzögerungselementen, durch welche ein Eingangstaktsignal hindurchtreten soll, um das Eingangstaktsignal mit der vorbestimmten Zeitverzögerung zu versehen; und einer Phasensynchronisierungseinheit zum Vergleichen der Phase eines daran angelegten zweiten Bezugstakts mit derjenigen eines Ausgangstaktssignals von der Verzögerungseinheit und zum Ändern der in der Speichereinheit gespeicherten Informationen derart, dass der zweite Bezugstakt in Phase mit dem Ausgangstaktsignal gebracht wird. Somit kann die Phasensynchronisierungsschaltung die Phase eines Ausgangstakts in Schritten eines vorbestimmten Zeitschritts genau ändern, wodurch ermöglicht wird den Ausgangstakt mit einem anderen Takt wenn nötig zu synchronisieren. Obwohl sich sogar die durch die Verzögerungseinheit bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energieversorgung ändert, tritt dieselbe Änderung in der Oszillationseinheit auf, um die Oszillationseinheit zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von der Oszillationseinheit erzeugten Takts und des Bezugstakts hervorgerufen wird, und daher kehrt die dem Eingangstakt bereitzustellende Phasenverschiebung, welche durch die Verzögerungseinheit definiert wird, unmittelbar und leicht auf einen gewünschten festgelegten Wert zurück.

Vorzugsweise können die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Oszillationseinheit enthalten sind, in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Verzögerungselemente hergestellt werden, die in der Verzögerungseinheit enthalten sind. Änderungen in dem Herstellungsprozess rufen keine Änderung bei der Phasenverschiebung des Ausgangstakts von einem gewünschten festgelegten Wert hervor.

Die vorliegende Erfindung wird in der nachfolgenden Beschreibung unter Bezugnahme auf die Zeichnung erläutert.

Fig. 1 zeigt ein Blockdiagramm, welches die Struktur der Verzögerungsschaltung einer ersten Ausführungsform der vorliegenden Erfindung darstellt.

Fig. 2 zeigt ein Blockdiagramm, welches die Struktur der Ladungspumpe darstellt, die in einem PLL der Verzögerungsschaltung wie in **Fig. 1** dargestellt der ersten Ausführungsform der vorliegenden Erfindung enthalten ist;

Fig. 3 zeigt ein Blockdiagramm, welches die Struktur eines Beispiels von jedem in einer Mehrzahl vorkommenden Inverter darstellt, welcher in dem PLL der in **Fig. 1** dargestellten Verzögerungsschaltung der ersten Ausführungsform der vorliegenden Erfindung enthalten ist;

Fig. 4 zeigt ein Blockdiagramm, welches die Struktur eines Beispiels einer Schaltung darstellt, in welcher die Verzögerungsschaltung der ersten Ausführungsform zur Steuerung der Wechselstromcharakteristik der Schaltung verwen-

det wird;

Fig. 5 zeigt ein Blockdiagramm, welches die Struktur der Takterzeugungsschaltung einer zweiten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 6 zeigt ein Blockdiagramm, welches die Struktur einer Takterzeugungsschaltung einer dritten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 7 zeigt ein Blockdiagramm, welches die Struktur der Phasensynchronisierungsschaltung einer vierten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 8 zeigt ein Blockdiagramm, welches die Struktur einer Takterzeugungsschaltung einer fünften Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 9 zeigt ein Blockdiagramm, welches die Struktur einer Verzögerungsschaltung einer sechsten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 10 zeigt ein Blockdiagramm, welches die Struktur einer Takterzeugungsschaltung einer siebenten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 11 zeigt ein Blockdiagramm, welches die Struktur einer Takterzeugungsschaltung einer achtten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 12 zeigt ein Blockdiagramm, welches die Struktur einer Phasensynchronisierungsschaltung einer neunten Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 13 zeigt ein Blockdiagramm, welches die Struktur einer Takterzeugungsschaltung nach dem Stand der Technik darstellt;

Fig. 14 zeigt ein Blockdiagramm, welches die Struktur eines Beispiels einer anderen Takterzeugungsschaltung nach dem Stand der Technik darstellt, welche zum Umschalten zwischen Ausgangstakten mit unterschiedlichen Pulswiederholungsperioden geeignet ist;

Fig. 15 zeigt ein Blockdiagramm, welches die Struktur eines Beispiels einer Verzögerungsschaltung nach dem Stand der Technik darstellt, welche zur Einstellung einer Zeitverzögerung geeignet ist, die die Schaltung für einen Eingang bereitstellt;

Fig. 16 zeigt ein Blockdiagramm, welches die Struktur eines anderen Beispiels einer Verzögerungsschaltung nach dem Stand der Technik darstellt, welche zur Einstellung einer Zeitverzögerung geeignet ist, die die Schaltung für einen Eingang bereitstellt; und

Fig. 17 zeigt ein Blockdiagramm, welches die Struktur eines anderen Beispiels einer Verzögerungsschaltung nach dem Stand der Technik darstellt.

Fig. 1 zeigt ein Blockdiagramm, welches die Struktur einer Verzögerungsschaltung einer ersten Ausführungsform der vorliegenden Erfindung darstellt. Entsprechend der Figur bezeichnet Bezugssymbol 1 einen spannungsgesteuerten Oszillator bzw. einen VCO, Bezugssymbol 4 bezeichnet einen Oszillator zur Erzeugung eines Bezugstakts, Bezugssymbol 6 gezeichnet eine Ladungspumpe (charge pump) zum Vergleich der Phase des Bezugstakts mit derjenigen eines Ausgangs eines Frequenzteilers 3, um ein Steuersignal mit einem Wert oder einer Spannung entsprechend der Differenz zwischen den Phasen des Bezugstakts und dem Ausgang des Frequenzteilers 3 dem VCO 1 bereitzustellen, Bezugssymbol 8 bezeichnet einen Inverter, der in dem VCO 1 angeordnet ist, Bezugssymbol 9 bezeichnet einen Phasenregelkreis bzw. einen PLL, welcher sich aus dem VCO 1 einschließlich einer Mehrzahl von in Serie und in einer Schleife angeschlossenen Invertern, der Ladungspumpe 6 und dem Frequenzteiler 3 zusammensetzt, Bezugssymbol 11 bezeichnet einen Eingangsanschluss zum Empfang eines Verzögerungssignals, Bezugssymbol 10 bezeichnet eine Verzögerungseinheit zur Bereitstellung des an den Eingangsanschluss 11 angelegten Eingangssignals mit einer

Mehrzahl von bestimmten Zeitverzögerungen, um eine Mehrzahl von verzögerten Ausgängen zu erzeugen, Bezugszeichen **12** bezeichnet einen Multiplexer zur Auswahl eines verzögerten Ausgangs aus der Mehrzahl von verzögerten Ausgängen von der Verzögerungseinheit **10** und zur Bereitstellung des ausgewählten Ausgangs einem Ausgangsanschluss **13**, und Bezugszeichen **19** bezeichnet ein Register, in welches Informationen zur Steuerung des Multiplexers **12** geschrieben werden. Wie in **Fig. 1** dargestellt, enthält der VCO **1** fünf Inverter **8**. Jedoch ist die Anzahl von in dem VCO **1** enthaltenen Invertern **8** nicht auf fünf beschränkt. Der Frequenzteiler **3** teilt die Frequenz eines Ausgangssignals des VCO's **1** durch n , um einen frequenzgeteilten Takt derselben Frequenz als den Bezugstakt zu erzeugen und der Ladungspumpe **6** bereitzustellen. Der VCO **1** erzeugt einen frequenzmultiplizierten Takt, dessen Phase durch das Steuersignal von der Ladungspumpe **6** gesteuert wird. Der frequenzmultiplizierte Takt besitzt eine Frequenz, die n -mal so groß wie diejenige des Bezugstakts ist. Wie in **Fig. 1** dargestellt enthält die Verzögerungseinheit **10** eine Mehrzahl von in Serie angeschlossenen Invertern **20**, wobei die Anzahl der Inverter **20** gerade ist. Die Mehrzahl der in Serie angeschlossenen Inverter **20** ist in eine Mehrzahl von Gruppen unterteilt, welche jeweils zwei Inverter enthalten, und eine Mehrzahl von Leitungen, die in Intervallen einer Gruppe der zwei Inverter angeordnet sind, und zwei an beiden Enden der Reihe der Mehrzahl von Invertern **20** angeschlossene Leiter sind an dem Multiplexer **12** angeschlossen. Es wird gewünscht, dass die in der Mehrzahl vorhandenen Inverter **20** in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Inverter **8** zur Verwendung in dem VCO **1** hergestellt werden.

In **Fig. 2** ist ein Blockdiagramm veranschaulicht, welches die Struktur der Ladungspumpe **6** darstellt. Entsprechend der Figur bezeichnet Bezugszeichen **40** einen Phasenkomparator zum Vergleich der Phase des Bezugstakts mit derjenigen des frequenzgeteilten Takts von dem Frequenzteiler **3**, um Signale UPOUT und DOWNTOUT zu erzeugen, die jeweils einen Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des frequenzgeteilten Takts besitzen. **Fig. 3** zeigt ein Blockdiagramm, welches die Struktur jedes der in der Mehrzahl vorhandenen Inverter **8** darstellt. Entsprechend der Figur bezeichnet Bezugszeichen **16** einen p-Kanal MOS Transistor mit einem Widerstandswert, welcher sich entsprechend dem Wert des daran angelegten Steuersignals ändert.

Als nächstes wird der Betrieb der Verzögerungsschaltung der ersten Ausführungsform unter der Annahme beschrieben, dass der VCO **1** des PLL's **9** sich aus fünf Invertern **8** zusammensetzt und der Oszillator **4** einen Bezugstakt mit einer Pulswiederholungsperiode von 25 ns, d. h. einer Frequenz von 40 MHz erzeugt. Wenn der PLL **9** den Bezugstakt empfängt, vergleicht die Ladungspumpe **6** des PLL's **9** die Phase des Bezugstakts mit derjenigen des frequenzgeteilten Takts von dem Frequenzteiler **3**. Die Ladungspumpe **6** ändert die Spannung des dem VCO **1** bereitzustellenden Steuersignals entsprechend dem Vergleichsergebnis. Die Ladungspumpe **6** erhöht die Spannung des Steuersignals, wenn die Phase des frequenzgeteilten Takts gegenüber derjenigen des Bezugstakts führt und verringert andernfalls die Spannung des Steuersignals. In jedem der in der Mehrzahl vorkommenden Inverter **8** des VCO's **1** dient der p-Kanal MOS-Transistor **16** als variabler Widerstand, welcher durch das Steuersignal gesteuert wird. Wenn das Steuersignal bezüglich der Spannung sich verringert, verringert sich der p-Kanal MOS-Transistor **16** bezüglich seines Widerstandswerts. Mit anderen Worten, wenn sich das Steuersignal bezüglich der Spannung erhöht, erhöht sich der p-Kanal MOS-

Transistor **16** bezüglich des Widerstandswerts. Die durch jeden der in der Mehrzahl vorkommenden Inverter **8** bereitgestellte Zeitverzögerung verringert sich somit mit einer Vergrößerung der Spannung des Steuersignals, wenn als Ergebnis die Phase des frequenzgeteilten Takts gegenüber derjenigen des Bezugstakts führt, und es erhöht sich die Pulswiederholungsperiode des frequenzmultiplizierten Takts, wenn sich die Zeitverzögerung erhöht, die durch jeden der in der Mehrzahl vorhandenen Inverter **8** bereitgestellt wird. Wenn demgegenüber die Phase des Bezugstakts gegenüber derjenigen des frequenzgeteilten Takts führt, verringert sich die Pulswiederholungsperiode des frequenzmultiplizierten Takts, da sich die Zeitverzögerung verringert, welche durch jeden der in der Mehrzahl vorhandenen Inverter **8** bereitgestellt wird. Wenn der Bezugstakt in Phase mit dem frequenzgeteilten Takt gebracht wird, begibt sich der PLL **9** selbst in seinen gesperrten bzw. verriegelten Zustand. Wenn der PLL **9** in seinem gesperrten Zustand gehalten wird, besitzt der frequenzgeteilte Takt, der durch Frequenzteilen des frequenzmultiplizierten Takts durch n mittels des Frequenzteilers **3** erhalten wird, dieselbe Pulswiederholungsperiode wie der Bezugstakt. Zu dieser Zeit besitzt der von dem VCO **1** erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von $(25/n)$ ns. Wenn beispielsweise der Frequenzteiler **3** die Frequenz des daran angelegten frequenzmultiplizierten Takts um 20 teilt, besitzt der von dem VCO **1** erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von 1,25 ns.

Das von der Ladungspumpe **6** des PLL's **9** bereitgestellte Steuersignal wird einem Steueranschluss jedes der in der Mehrzahl vorkommenden Inverter **20** der Verzögerungseinheit **10** ebenso wie einem Steueranschluss jedes der in der Mehrzahl vorkommenden Inverter **8** des VCO's **1** wie in **Fig. 1** dargestellt angelegt. Die durch jeden der in der Mehrzahl vorkommenden Inverter **20** bereitgestellte Zeitverzögerung wird somit von dem PLL **9** gesteuert. Wenn sich der PLL **9** selbst in den gesperrten Zustand begibt, wird der frequenzgeteilte Takt, welcher durch Frequenzteilen des von dem VCO **1** frequenzmultiplizierten Takts erlangt worden ist, mit dem Bezugstakt in Phase gebracht. Die Pulswiederholungsperiode des frequenzmultiplizierten Takts wird zu $(25/n)$ ns, wenn die Pulswiederholungsperiode des von dem Oszillator **4** erzeugten Bezugstakts beispielsweise 25 ns beträgt. Als Ergebnis wird die von jedem der in der Mehrzahl vorkommenden Inverter **8** des VCO's **1** bereitgestellte Zeitverzögerung fest auf einen vorbestimmten Wert festgelegt. Ebenfalls wird die von jedem der in der Mehrzahl vorkommenden Inverter **20** der Verzögerungseinheit **10** bereitgestellte Zeitverzögerung unter der Steuerung des PLL's **9** fest auf einen vorbestimmten Wert festgelegt. Wenn beispielsweise der Frequenzteiler die Frequenz des frequenzmultiplizierten Takts von dem VCO **1** durch 20 teilt, wird die Pulswiederholungsperiode des von dem VCO **1** erzeugten frequenzmultiplizierten Takts zu 1,25 ns. Wenn sich der VCO **1** aus fünf Invertern **8** zusammensetzt, wird die durch jeden der in der Mehrzahl vorkommenden Inverter **8** bereitgestellte Zeitverzögerung zu 0,25 ns. Ähnlich wird die von jedem der in der Mehrzahl vorkommenden Inverter **20** der Verzögerungseinheit **10** bereitgestellte Zeitverzögerung zu 0,025 ns. Wenn dementsprechend die Verzögerungseinheit **10** sich aus 2 N Invertern **20** zusammensetzt, stellt die Verzögerungseinheit **10** ein daran angelegtes Eingangssignal mittels des Eingangsanschlusses **11** mit einer Mehrzahl von Zeitverzögerungen in dem Bereich von 0 bis $(0,5 \times N)$ ns bereit, wobei die Zeitverzögerung in Inkrementen von 0,5 ns festgelegt sind, um $(N + 1)$ Ausgänge zu erzeugen und dem Multiplexer **12** bereitzustellen. Mit anderen Worten, die kleinste Änderung bei der Zeitverzögerung, die durch die

Verzögerungseinheit 10 dem an den Eingangsanschluss 11 angelegten Eingangssignal bereitzustellen ist, entspricht der durch jede Gruppe der zwei Inverter 20 bereitgestellten Zeitverzögerung. Der Multiplexer 12 wird entsprechend den in das Register 10 geschriebenen Informationen gesteuert. Der Multiplexer 12 wählt einen Ausgang aus der Mehrzahl von Ausgängen von der Verzögerungseinheit 10 entsprechend dem Inhalt des Registers 19 aus.

In Fig. 4 ist ein Blockdiagramm veranschaulicht, welches ein Beispiel darstellt, bei welchem die Verzögerungsschaltung der ersten Ausführungsform an einem Ausgangsanschluss einer willkürlichen internen Schaltung angeordnet ist. Das Vorsehen der Verzögerungsschaltung zwischen einem Ausgangskontaktstift und dem Ausgangsanschluss der internen Schaltung ermöglicht es ein Ausgangssignal von der internen Schaltung mit einer bestimmten Zeitverzögerung in dem Bereich von 0 bis zu einem bestimmten Wert bereitzustellen, wobei die Zeitverzögerung in Inkrementen eines vorbestimmten Zeitschriffs festgelegt wird. Mit anderen Worten die Verzögerungsschaltung kann die Wechselstromcharakteristik des Ausgangsanschlusses der internen Schaltung durch Ändern des Inhalts des Registers 19 steuern. Als Alternative kann die Verzögerungsschaltung der ersten Ausführungsform an einem Eingangsanschluss einer willkürlichen internen Schaltung angeordnet sein. In diesem Fall kann die Verzögerungsschaltung die Wechselstromcharakteristik des Eingangsanschlusses der internen Schaltung durch Ändern des Inhalts des Registers 19 ähnlich steuern.

Wie oben beschrieben kann bei der ersten Ausführungsform die Verzögerungsschaltung eine Mehrzahl von Ausgängen erzeugen, welche jeweils um vorbestimmte Zeitverzögerungen in dem Bereich von 0 bis zu einem bestimmten Wert verzögert sind, wobei die Zeitverzögerungen in Inkrementen eines vorbestimmten Zeitschriffs mittels der Verzögerungseinheit 10 festgelegt werden, welche von dem PLL 9 gesteuert wird, und einen gewünschten Ausgang aus der Mehrzahl von Ausgängen von der Verzögerungseinheit 10 mittels des Multiplexers 12 auswählen. Dementsprechend kann die Verzögerungsschaltung 18 von Fig. 1 die Zeitverzögerung in Schritten eines vorherbestimmten Zeitschriffs beispielsweise von 0,5 ns genau steuern. Obwohl sich sogar die von der Verzögerungseinheit 10 bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energieversorgung ändert, tritt dieselbe Änderung in dem PLL 9 auf, um den PLL 9 zur Verringerung der Phasendifferenz auf 0 wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem PLL 9 erzeugten frequenzmultiplizierten Taks und des Bezugstakts hervorgerufen wird, und daher kehrt die dem Eingangssignal von der Verzögerungseinheit 10 bereitgestellte Zeitverzögerung unmittelbar und leicht auf den gewünschten festgelegten Wert zurück. Da die in der Mehrzahl vorkommenden Inverter 20 der Verzögerungseinheit 10 in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Inverter 8 hergestellt werden, welche in dem PLL 9 enthalten sind, rufen des weiteren Änderungen in dem Herstellungsprozess nicht eine Änderung der Zeitverzögerung von dem gewünschten festgelegten Wert hervor.

Zweite Ausführungsform

In Fig. 5 ist ein Blockdiagramm veranschaulicht, welches die Struktur einer Taktzeugungsschaltung einer zweiten Ausführungsform der vorliegenden Erfindung darstellt. Entsprechend der Figur bezeichnen dieselben Bezugszeichen wie die in Fig. 1 dargestellten Bezugszeichen dieselben Komponenten wie jene der Verzögerungsschaltung der oben

beschriebenen ersten Ausführungsform, und daher wird die Beschreibung der Komponenten hier nach ausgelassen. Wie aus Fig. 5 ersichtlich enthält die Taktzeugungsschaltung der zweiten Ausführungsform eine Verzögerungsschaltung

5 18 der oben beschriebenen ersten Ausführungsform. Entsprechend Fig. 5 bezeichnet Fig. 21 einen Inverter, welcher einen Ausgangsanschluss 13 der Verzögerungsschaltung 18 mit einem Eingangsanschluss 11 der Verzögerungsschaltung verbindet, um eine Schleife zu bilden. Wie in Fig. 5 dargestellt enthält ein VCO 1 eines PLL's 9 fünf Inverter 8. Jedoch ist die Anzahl der in dem VCO 1 enthaltenen Inverter 8 nicht auf fünf beschränkt.

Als nächstes wird eine Beschreibung des Betriebs der Verzögerungsschaltung der zweiten Ausführungsform unter 15 der Annahme gegeben, dass sich der VCO 1 des PLL's 9 aus fünf Invertern 8 wie in Fig. 5 dargestellt zusammensetzt und ein Oszillator 4 einen Bezugstakt mit einer Pulswiederholungsperiode von 25 ns, d. h. mit einer Frequenz von 40 MHz, erzeugt. Die Verzögerungsschaltung 18 arbeitet 20 auf dieselbe Weise wie diejenige der ersten Ausführungsform. D. h., wenn der PLL 9 ein Bezugstakt empfängt, vergleicht eine Ladungspumpe 6 des PLL's 9 die Phase des Bezugstakts mit derjenigen eines frequenzgeteilten Taks von einem Frequenzteiler 3. Die Ladungspumpe 6 ändert die 25 Spannung eines dem VCO 1 bereitzustellenden Steuersignals entsprechend dem Vergleichsergebnis, so dass der frequenzgeteilte Takt in Phase mit dem Bezugstakt gebracht wird. Wenn der Bezugstakt in Phase mit dem frequenzgeteilten Takt gebracht wird, versetzt sich der PLL 9 selbst in seinen gesperrten Zustand. Wenn der PLL 9 in seinem gesperrten Zustand gehalten wird, besitzt der frequenzgeteilte Takt, welcher durch Frequenzteilen des frequenzmultiplizierten Taks durch n mittels des Frequenzteilers 3 erlangt wird, dieselbe Pulswiederholungsperiode als Bezugstakt. Zu 30 der Zeit besitzt der von dem VCO 1 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von $(25/n)$ ns. Wenn beispielsweise der Frequenzteiler 3 die Frequenz des daran angelegten frequenzmultiplizierten Taks durch 20 teilt, besitzt der von dem VCO 1 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von 1,25 ns.

Das von der Ladungspumpe 6 des PLL's 9 bereitgestellte Steuersignal wird an den Steueranschluss von jedem der in der Mehrzahl vorhandenen Inverter 20 der Verzögerungseinheit 10 ebenso wie an den Steueranschluss von jedem der in Mehrzahl vorhandenen Inverter 8 des VCO's 1 wie in Fig. 5 dargestellt angelegt. Die von jedem der in der Mehrzahl vorkommenden Inverter 20 bereitgestellte Verzögerungszeit wird somit von dem PLL 9 gesteuert. Wenn sich der PLL 9 selbst in seinen gesperrten Zustand begibt, wird der frequenzgeteilte Takt, welcher durch Frequenzteilen des von dem VCO 1 erzeugten frequenzmultiplizierten Taks erlangt worden ist, in Phase mit dem Bezugstakt gebracht. Die Pulswiederholungsperiode des frequenzmultiplizierten Taks wird zu $(25/n)$ ns, wenn die Pulswiederholungsperiode des von dem Oszillator 4 erzeugten Bezugstakts beispielsweise 25 ns beträgt.

Als Ergebnis ist die durch jeden der in der Mehrzahl vorkommenden Inverter 8 des VCO's 1 bereitgestellte Zeitverzögerung auf einen vorbestimmten festen Wert festgelegt. 60 Ebenfalls ist die durch jeden der in der Mehrzahl vorkommenden Inverter 20 der Verzögerungseinheit 10 bereitgestellte Zeitverzögerung unter Steuerung des PLL 9 fest auf den vorbestimmten Wert festgelegt. Wenn beispielsweise der Frequenzteiler 3 die Frequenz des frequenzmultiplizierten Taks von dem VCO 1 durch 20 teilt, wird die durch jeden der in der Mehrzahl vorkommenden Inverter 20 in der Verzögerungseinheit 10 bereitgestellte Zeitverzögerung zu 0,25 ns. Wenn dementsprechend die Verzögerungseinheit 10

sich aus 2 N Invertern 20 zusammensetzt, stellt die Verzögerungseinheit ein mittels des Eingangsanschlusses 11 daran angelegtes Eingangssignal mit einer Mehrzahl von Zeitverzögerungen in dem Bereich von 0 bis $(0,5 \times N)$ ns bereit, wobei die Zeitverzögerungen in Inkrementen von 0,5 ns festgelegt werden, um $(N + 1)$ Ausgänge zu erzeugen und einen Multiplexer bereitzustellen. Mit anderen Worten, die kleinste Änderung der Zeitverzögerung, welche einem Eingangssignal von dem Inverter 21 und an den Eingangsanschluss 11 durch die Verzögerungseinheit 10 angelegt bereitgestellt werden soll, entspricht der durch jede Gruppe von zwei Invertern 20 bereitgestellten Zeitverzögerung. Der Multiplexer 12 wird entsprechend den in ein Register 19 geschriebenen Informationen gesteuert. Der Multiplexer 12 wählt einen Ausgang aus der Mehrzahl von Ausgängen von der Verzögerungseinheit 10 entsprechend dem Inhalt des Register 19 aus. Dementsprechend kann die Takterzeugungsschaltung der zweiten Ausführungsform die Pulswiederholungsperiode eines Ausgangstakts genau in Schritten von 0,5 ns entsprechend dem Inhalt des Registers 19 ändern. Der Takt-ausgang besitzt eine elementare Pulswiederholungsperiode, die durch die von dem Inverter 21 hervorgerufene Zeitverzögerung bestimmt wird. Bei dem obigen Beispiel kann die Pulswiederholungsperiode des Ausgangstakts somit im Bereich von der elementaren Pulswiederholungsperiode bis zu der elementaren Pulswiederholungsperiode $+(0,5 \times N)$ ns liegen und sich in Schritten von 0,5 ns ändern.

Wie oben erwähnt kann bei der zweiten Ausführungsform die Takterzeugungsschaltung eine Mehrzahl von Ausgängen erzeugen, welche um jeweilige vorbestimmte Zeitverzögerungen in dem Bereich von 0 bis zu einem bestimmten Wert verzögert werden, wobei die Zeitverzögerungen in Inkrementen eines vorbestimmten Zeitschritts mittels einer durch den PLL 9 gesteuerten Verzögerungseinheit 10 festgelegt wird, und kann die Pulswiederholungsperiode des Ausgangstakts in Schritten des vorbestimmten Zeitschritts unter Verwendung der Verzögerungsschaltung 18 genau ändern, welche einen gewünschten Ausgang aus der Mehrzahl von Ausgängen von der Verzögerungseinheit 10 mittels des Multiplexers 12 auswählen kann. Obwohl sich sogar die von der Verzögerungseinheit 10 in der Verzögerungsschaltung 18 bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energiezufuhr ändert, tritt in dem PLL 9 dieselbe Änderung auf, um den PLL 9 zur Verringerung der Phasendifferenz auf 0 wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem PLL 9 erzeugten frequenzmultiplizierten Taks und des Bezugstakts hervorgerufen wird, und daher kehrt die Pulswiederholungsperiode des durch die Verzögerungsschaltung 18 definierten Ausgangstakts unmittelbar und leicht auf den gewünschten festgelegten Wert zurück. Da die in der Mehrzahl vorkommenden Inverter 20 der Verzögerungseinheit 10 in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Inverter 8, welche in dem PLL 9 vorhanden sind, hergestellt werden, rufen des weiteren Änderungen in dem Herstellungsprozess nicht eine Änderung der Pulswiederholungsperiode des Ausgangstakts von dem gewünschten festgelegten Wert hervor.

Dritte Ausführungsform

Fig. 6 zeigt ein Blockdiagramm, welches die Struktur der Takterzeugungsschaltung einer dritten Ausführungsform der vorliegenden Erfindung darstellt. Entsprechend der Figur bezeichnen dieselben Bezugssymbole wie in Fig. 1 dargestellt dieselben Komponenten wie jene der Verzögerungsschaltung der oben beschriebenen ersten Ausführungsform,

und daher wird die Beschreibung der Komponenten im folgenden ausgelassen. Wie aus Fig. 6 ersichtlich enthält die Takterzeugungsschaltung der dritten Ausführungsform eine Verzögerungsschaltung 18 entsprechend der obigen ersten 5 Ausführungsform. Entsprechend Fig. 6 bezeichnet Bezugssymbole 24 einen Oszillator zum Erzeugen eines zweiten Bezugstakts, Bezugssymbol 26 bezeichnet eine Ladungspumpe (charge pump) zum Vergleich der Phase des zweiten Bezugstakts mit derjenigen eines Ausgangs eines Frequenzteilers 23, um ein Steuersignal mit einem Wert entsprechend der Differenz zwischen den Phasen des zweiten Bezugstakts und des Ausgangs des Frequenzteilers 23 einem VCO 22 bereitzustellen, Bezugssymbol 28 bezeichnet einen Inverter, der in dem VCO 22 angeordnet ist, Bezugssymbol 29 bezeichnet einen Multiplexer, der ein Eingangssignal bereitstellt mit derselben Zeitverzögerung wie durch einen Multiplexer 12 bereitgestellt, der in der Verzögerungsschaltung 18 angeordnet ist, Bezugssymbole 30 bezeichnen einen PLL, welcher sich aus dem VCO 22, dem Frequenzteiler 23 und einer Ladungspumpe 26 zusammensetzt, Bezugssymbol 31 bezeichnet eine zwischen Ausgangs- und Eingangsanschlüssen 13 und 11 der Verzögerungsschaltung 18 angeschlossene Verzögerungseinheit zur Bereitstellung eines Eingangssignals mit einer Zeitverzögerung, welche von dem 10 Steuersignal von der Ladungspumpe des PLL's 30 gesteuert wird, und Bezugssymbol 32 bezeichnet einen in der Verzögerungseinheit 31 angeordneten Inverter zur Bereitstellung eines Eingangssignals mit einer Zeitverzögerung, welche durch das Steuersignal gesteuert wird. Der Frequenzteiler 23 teilt die Frequenz des Ausgangssignals des VCO's 22 durch 20 m, um einen frequenzgeteilten Takt derselben Frequenz wie der des zweiten Bezugstakts zu erzeugen und der Ladungspumpe 26 bereitzustellen. Der VCO 22 erzeugt einen frequenzmultiplizierten Takt, dessen Phase durch das Steuersignal von der Ladungspumpe 26 gesteuert wird und dessen Frequenz m-mal so groß wie diejenige des zweiten Bezugstakts ist.

Wie in Fig. 6 dargestellt setzt sich die Verzögerungseinheit 31 aus einer Mehrzahl von seriellen Invertern 32 zusammen, wobei die Anzahl dieselbe ist wie diejenige der in der Mehrzahl vorkommenden Inverter 28, welche in dem VCO 22 eingebaut sind. In dem in Fig. 6 dargestellten Beispiel enthält der VCO 22 fünf Inverter 28, und die Verzögerungseinheit 31 enthält fünf Inverter 32. Jedoch ist die Anzahl der 25 in dem VCO 22 enthaltenen Inverter 28 nicht auf fünf beschränkt. Es wird gewünscht, dass die in der Mehrzahl vorkommenden Inverter 32 in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Inverter 28 zur Verwendung in dem VCO 22 hergestellt werden.

Im folgenden wird ein Beschreibung des Betriebs der Takterzeugungsschaltung der dritten Ausführungsform unter der Annahme gegeben, dass sich der VCO des PLL's 9 in der Verzögerungsschaltung 18 aus fünf Invertern 8 zusammensetzt, sich der VCO 22 des PLL's 30 aus fünf Invertern 28 zusammensetzt, die Verzögerungseinheit 31 sich aus fünf Invertern 32 zusammensetzt, ein Oszillator 4 in der Verzögerungsschaltung 18 einen ersten Bezugstakt mit einer Pulswiederholungsperiode von 25 ns, d. h. mit einer Frequenz von 40 MHz, erzeugt und der Oszillator 24 einen zweiten Bezugstakt mit einer Pulswiederholungsperiode von 20 ns erzeugt, d. h. mit einer Frequenz von 50 MHz. Da die Verzögerungsschaltung 18 auf dieselbe Weise wie diejenige der ersten Ausführungsform arbeitet, wird die Beschreibung des Betriebs der Verzögerungsschaltung 18 hier nach ausgelassen.

Wenn wie der PLL 9 der Verzögerungsschaltung 18 der PLL 30 den zweiten Bezugstakt empfängt, vergleicht die Ladungspumpe 29 des PLL's 30 die Phase des zweiten Be-

zugstakts mit derjenigen des frequenzgeteilten Takts von dem Frequenzieler 23. Die Ladungspumpe 26 ändert die Spannung eines dem VCO 22 bereitzustellenden Steuersignals entsprechend dem Vergleichsergebnis, so dass der frequenzgeteilte Takt in Phase mit dem zweiten Bezugstakt gebracht wird. Wenn der zweite Bezugstakt in Phase mit dem frequenzgeteilten Takt gebracht wird, versetzt sich der PLL 30 selbst in seinen gesperrten Zustand. Wenn der PLL 30 in seinem gesperrten Zustand gehalten wird, besitzt der frequenzgeteilte Takt, welcher durch Frequenzteilen des frequenzmultiplizierten Takts durch m mittels des Frequenzielers 23 erlangt wird, dieselbe Pulswiederholungsperiode wie der zweite Bezugstakt. Zu der Zeit besitzt der durch den VCO 22 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von $(20/m)$ ns. Wenn beispielsweise der Frequenzieler 23 die Frequenz des daran angelegten frequenzmultiplizierten Takts durch 2 teilt, besitzt der durch den VCO 22 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von 10 ns.

Das durch die Ladungspumpe 26 des PLL's 30 bereitgestellte Steuersignal wird an einen Steueranschluss jedes der in der Mehrzahl vorkommenden Inverter der Verzögerungseinheit 31 ebenso wie an einen Steueranschluss jedes der in der Mehrzahl vorhandenen Inverter 28 des VCO's 22 wie in Fig. 6 dargestellt angelegt. Die durch jeden der in der Mehrzahl vorhandenen Inverter 32 bereitgestellte Zeitverzögerung wird somit durch den PLL 30 gesteuert. Wenn sich der PLL 30 selbst in den gesperrten Zustand versetzt, wird der frequenzgeteilte Takt, welcher durch Frequenzteilen des von dem VCO 22 erzeugten frequenzmultiplizierten Takts erzielt wird, in Phase mit dem zweiten Bezugstakt gebracht. Die Pulswiederholungsperiode des frequenzmultiplizierten Takts wird zu $(20/m)$ ns, wenn die Pulswiederholungsperiode des von dem Oszillator 24 erzeugten zweiten Bezugstakts beispielsweise 20 ns beträgt. Als Ergebnis wird die von jedem der in der Mehrzahl vorhandenen Inverter 28 des VCO's 22 bereitgestellte Zeitverzögerung fest auf einen vorbestimmten Wert festgelegt. Ebenfalls wird die von jedem der in der Mehrzahl vorkommenden Inverter 32 der Verzögerungseinheit 31 bereitgestellte Zeitverzögerung unter Steuerung des PLL's 30 fest auf den vorbestimmten Wert festgelegt. Wenn beispielsweise der Frequenzieler 23 die Frequenz des frequenzmultiplizierten Takts von dem VCO 22 durch 2 teilt, besitzt der von dem VCO 22 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von 10 ns. Dementsprechend beträgt die Zeitverzögerung, welche einem Eingangssignal von der Verzögerungseinheit 31 und dem Multiplexer 12 der Verzögerungsschaltung 18 bereitgestellt werden soll, 10 ns, da die von dem in der Mehrzahl vorkommenden Inverter 28 und dem in dem VCO 22 eingebauten Multiplexer 29 bereitgestellte Zeitverzögerung dieselbe Größe wie die Summe der von der Verzögerungseinheit 31 bereitgestellten Zeitverzögerung und der von dem Multiplexer 12 bereitgestellten Zeitverzögerung besitzt. Als Ergebnis erzeugt die Takterzeugungsschaltung einen Ausgangstakt mit einer elementaren Pulswiederholungsperiode von 10 ns, d. h. einer elementaren Frequenz von 100 MHz.

Wenn demgegenüber der Frequenzieler 3 in der Verzögerungsschaltung 18 die Frequenz des frequenzmultiplizierten Takts von dem VCO 1 durch 20 teilt, wird die durch jeden der in der Mehrzahl vorkommenden Inverter 20 der Verzögerungseinheit 10 bereitgestellte Zeitverzögerung zu 0,25 ns wie bezüglich der ersten Ausführungsform erklärt. Wenn dementsprechend sich die Verzögerungseinheit 10 aus 2 N Invertern 20 zusammensetzt, stellt die Verzögerungseinheit 10 ein Eingangssignal, welches mittels des Eingangsanschlusses 11 daran angelegt wird, mit einer Mehrzahl von

Zeitverzögerungen in dem Bereich von 0 bis $(0,5 \times N)$ ns bereit, wobei die Zeitverzögerungen in Inkrementen von 0,5 ns festgelegt werden, um $(N + 1)$ Ausgänge zu erzeugen und dem Multiplexer 12 bereitzustellen. Der Multiplexer 12

wählt einen Ausgang aus der Mehrzahl von Ausgängen von der Verzögerungseinheit 10 entsprechend dem Inhalt eines Registers 19 aus. Dementsprechend kann die Takterzeugungsschaltung der dritten Ausführungsform die Pulswiederholungsperiode des Ausgangstakts von 10 ns auf $(10 + 0,5 \times N)$ ns in Schritten von 0,5 ns entsprechend dem Inhalt des Registers 19 genau ändern.

Vorzugsweise sind die ersten und zweiten Bezugstakte bezüglich der Frequenz gleich. Wenn beispielsweise die ersten und zweiten Oszillatoren 4 und 24 erste und zweite Bezugstakte mit einer gleichen Wiederholungsperiode von 25 ns erzeugen (d. h. mit einer gleichen Frequenz von 40 MHz), teilt der Frequenzieler 3 die Frequenz des frequenzmultiplizierten Takts von dem VCO 1 durch 20, und der Frequenzieler 23 behält die Frequenz des frequenzmultiplizierten Takts von dem VCO 22 so wie er ist, wobei die Takterzeugungsschaltung die Pulswiederholungsperiode des Ausgangstakts entsprechend dem Inhalt des Registers 19 genau ändern kann, so dass sie im Bereich von 25 ns bis $(25 + 0,5 \times N)$ ns in Schritten von 0,5 ns liegt.

Wie oben beschrieben kann bei der dritten Ausführungsform die Takterzeugungsschaltung die elementare Pulswiederholungsperiode des Ausgangstakts mittels der Verzögerungseinheit 31, welche von dem PLL 30 gesteuert wird, genau beibehalten und die Pulswiederholungsperiode des Ausgangstakts in Schritten des vorbestimmten Zeitschritts unter Verwendung der Verzögerungsschaltung 18 genau ändern, welche einen gewünschten Ausgang aus der Mehrzahl von Ausgängen von der Verzögerungseinheit 10 mittels des Multiplexers 12 auswählen kann. Obwohl sich sogar die von der Verzögerungseinheit 31 bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energiezufuhr ändert, tritt dieselbe Änderung in dem PLL 30 auf, um den PLL 30 zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem PLL 30 erzeugten frequenzmultiplizierten Takts und dem zweiten Bezugstakt hervorgerufen wird, und daher kehrt die elementare Pulswiederholungsperiode des von der Verzögerungseinheit 31 definierten Ausgangstakts unmittelbar und leicht auf den gewünschten festgelegten Wert zurück.

Obwohl sogar die von der Verzögerungseinheit 10 in der Verzögerungsschaltung 18 bereitgestellte Zeitverzögerung sich infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energiezufuhr ändert, tritt darüber hinaus dieselbe Änderung in dem PLL 9 auf, um den PLL 9 zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem PLL 9 erzeugten frequenzmultiplizierten Takts und einem ersten Bezugstakt hervorgerufen wird, und daher kehrt die Pulswiederholungsperiode des von der Verzögerungsschaltung 18 definierten Ausgangstakts unmittelbar und leicht auf den gewünschten festgelegten Wert zurück.

Da die in der Mehrzahl vorkommenden Inverter 32 der Verzögerungseinheit 31 in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Inverter 28, welche in dem PLL 30 enthalten sind, hergestellt werden, rufen des weiteren Änderungen in dem Herstellungsprozess nicht eine Änderung in der elementaren Pulswiederholungsperiode des Ausgangstakts von dem gewünschten festgelegten Wert hervor.

Vierte Ausführungsform

Fig. 7 zeigt ein Blockdiagramm, welches die Struktur einer Phasensynchronisierungsschaltung einer vierten Ausführungsform der vorliegenden Erfindung darstellt. Entsprechend der Figur bezeichnen dieselben Bezugszeichen wie in Fig. 1 dargestellt dieselben Komponenten wie diejenigen der Verzögerungsschaltung der oben beschriebenen ersten Ausführungsform, und daher wird die Beschreibung der Komponenten hier nach ausgelassen. Wie aus Fig. 7 ersichtlich enthält die Phasensynchronisierungsschaltung der vierten Ausführungsform eine Verzögerungsschaltung 18 entsprechend der oben beschriebenen ersten Ausführungsform. Entsprechend Fig. 7 bezeichnet Bezugszeichen 37 einen Oszillatoren zur Erzeugung eines Takts mit einer vorbestimmten Pulswiederholungsperiode. Der Oszillatoren 37 kann einen PLL aufweisen. Als Alternative kann der Oszillatoren 37 eine Taktcrzungsschaltung entsprechend der oben beschriebenen zweiten oder dritten Ausführungsform sein. Des Weiteren bezeichnet entsprechend Fig. 7 Bezugszeichen 38 einen Phasenkomparator zum Vergleichen der Phase eines daran angelegten zweiten Bezugstakts mit derjenigen eines Ausgangstakts der Verzögerungsschaltung 18 und zum Bereitstellen eines Steuersignals entsprechend der Phasendifferenz zwischen den Phasen des zweiten Bezugstakts und eines Ausgangstakts einem Register 19, um den Inhalt des Registers 19 zu ändern, so dass die Phasendifferenz zu null wird.

Als nächstes wird eine Beschreibung des Betriebs der Phasensynchronisierungsschaltung der vierten Ausführungsform unter der Annahme gegeben, dass sich ein VCO 1 des PLL's 9 in der Verzögerungsschaltung 18 aus fünf Invertern 8 zusammensetzt und ein Oszillatoren 4 einen ersten Bezugstakt mit einer Pulswiederholungsperiode von 25 ns erzeugt, d. h. mit einer Frequenz von 40 MHz. Da die Verzögerungsschaltung 18 auf dieselbe Weise wie diejenige der ersten Ausführungsform arbeitet, wird die Beschreibung des Betriebs der Verzögerungsschaltung hier nach ausgelassen.

Wenn der Frequenzteiler 3 der Verzögerungsschaltung 18 die Frequenz des daran angelegten frequenzmultiplizierten Takts von dem VCO 1 durch 20 teilt, wird die durch jeden der in der Mehrzahl vorkommenden Inverter 20 in der Verzögerungseinheit 10 bereitgestellte Zeitverzögerung zu 0,25 ns wie bezüglich der ersten Ausführungsform beschrieben. Wenn sich dementsprechend die Verzögerungseinheit 10 aus 2 N Invertern 20 zusammensetzt, stellt die Verzögerungseinheit 10 ein daran angelegtes Eingangssignal mit einer Mehrzahl von Zeitverzögerungen in dem Bereich von 0 bis $(0,5 \times N)$ ns bereit, wobei die Zeitverzögerungen in Inkrementen von 0,5 ns festgelegt werden, um $(N + 1)$ Ausgänge zu erzeugen und einen Multiplexer 12 bereitzustellen. Der Multiplexer 12 wählt einen Ausgang aus der Mehrzahl von Ausgängen von der Verzögerungseinheit 10 entsprechend dem Inhalt des Registers 19 aus. Dementsprechend kann die Phasensynchronisierungsschaltung der vierten Ausführungsform die Phase des Eingangstakts durch eine Zeitverzögerung in einem Bereich von 0 bis $(0,5 \times N)$ ns genau verzögern, wobei die Zeitverzögerung in Inkrementen von 0,5 ns entsprechend dem Inhalt des Registers 19 festgelegt wird.

Wenn der Ausgangstakt des Oszillatoren 37 mit dem anderen Takt, d. h. dem zweiten Bezugstakt, in Phase gebracht wird, vergleicht der Phasenkomparator 38 die Phase des daran angelegten zweiten Bezugstakt mit derjenigen des Ausgangstakts der Verzögerungsschaltung 18 und stellt dann ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des zweiten Bezugstakts und des Ausgangstakts dem Register 19 bereit, um den In-

halt des Registers 19 zu ändern, so dass die Phasendifferenz zu null wird. Mit anderen Worten, wenn die Phase des Ausgangstakts gegenüber derjenigen des zweiten Bezugstakts führt, ändert der Phasenkomparator 38 den Inhalt des Registers 19, so dass die Anzahl der Inverter 20, durch welche der Ausgangstakt in der Verzögerungseinheit 10 hindurchtreten wird, erhöht ist. Andernfalls ändert der Phasenkomparator 38 den Inhalt des Registers 19, so dass die Anzahl von Inverter 20, durch welche der Ausgangstakt hindurchtreten wird, in der Verzögerungseinheit 10 sich verringert. Wenn der Frequenzteiler 3 der Verzögerungsschaltung 18 die Frequenz des frequenzmultiplizierten Takts von dem VCO 1 durch 20 teilt, kann der Phasenkomparator den Inhalt des Registers 19 ändern, um die Phase des Ausgangstakts durch eine Zeitverzögerung in dem Bereich von 0 bis $(0,5 \times N)$ ns in Schritten von 0,5 ns genau zu ändern, wodurch es ermöglicht wird den Ausgangstakt in Phase mit dem zweiten Bezugstakt zu bringen.

Wie oben beschrieben kann bei der vierten Ausführungsform die Phasensynchronisierungsschaltung die Phase eines Ausgangstakts in Schritten des vorbestimmten Zeitschritts unter Verwendung der Verzögerungsschaltung 18 genau ändern, welche einen gewünschten Ausgang aus der Mehrzahl von Ausgängen von der Verzögerungseinheit 10 mittels des Multiplexers 12 auswählen kann, wodurch es ermöglicht wird, den Ausgangstakt in Phase mit einem anderen Takt wenn nötig zu bringen. Obwohl sich sogar die von der Verzögerungseinheit 10 in der Verzögerungsschaltung 18 bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energiezufuhr ändert, tritt dieselbe Änderung in dem PLL 9 auf, um den PLL 9 zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem PLL 9 erzeugten frequenzmultiplizierten Takts und des Bezugstakts hervorgerufen wird, und daher kehrt die dem Eingangstakt bereitgestellte Phasenverschiebung, welche durch die Verzögerungsschaltung 18 definiert worden ist, unmittelbar und leicht auf den gewünschten festgelegten Wert zurück. Da die in der Mehrzahl vorkommenden Inverter 20 der Verzögerungseinheit 10 in demselben Herstellungsprozess wie die in der Mehrzahl vorkommenden Inverter 8, welche in dem PLL 9 enthalten sind, hergestellt werden, rufen die weiteren Änderungen in dem Herstellungsprozess nicht eine Änderung der für den Eingangstakt bereitgestellten Phasenverschiebung von dem gewünschten festgelegten Wert hervor.

Fünfte Ausführungsform

Fig. 8 zeigt ein Blockdiagramm, welches die Struktur einer Takterzeugungsschaltung einer fünften Ausführungsform der vorliegenden Erfindung darstellt. Entsprechend der Figur bezeichnen dieselben Bezugszeichen wie in Fig. 6 dargestellt dieselben Komponenten wie diejenigen der Takterzeugungsschaltung der oben beschriebenen dritten Ausführungsform, und daher wird die Beschreibung der Komponenten hier nach ausgelassen. Wie aus Fig. 8 ersichtlich enthält die Takterzeugungsschaltung der fünften Ausführungsform eine Mehrzahl von Verzögerungsschaltungen 18a, 18b, 18c und 18d, welche dieselbe Struktur wie diejenige der Verzögerungsschaltung der oben beschriebenen ersten Ausführungsform besitzen. Entsprechend Fig. 8 bezeichnet Bezugszeichen 24 einen Oszillatoren zur Erzeugung eines Bezugstakts, Bezugszeichen 26 bezeichnet eine Ladungspumpe zum Vergleich der Phase des Bezugstakts mit derjenigen eines Ausgangs eines Frequenzteilers 23, um ein Steuersignal mit einem Wert entsprechend der Differenz zwischen den Phasen des Bezugstakts und des Ausgangs des

Frequenzteilers **23** zu erzeugen und einem VCO **22** bereitzustellen, Bezugszeichen **28** bezeichnet einen Inverter, der in dem VCO **22** angeordnet ist, Bezugszeichen **29** bezeichnet einen in dem VCO eingebauten Multiplexer zur Bereitstellung eines Eingangssignals mit derselben Zeitverzögerung wie durch einen Multiplexer bereitgestellt, der in jedem der Verzögerungsschaltungen **18a** und **18b** angeordnet ist, Bezugszeichen **30** bezeichnet einen PLL, welcher sich aus dem VCO **22**, dem Frequenzteiler **23** und der Ladungspumpe **26** zusammensetzt, Bezugszeichen **31** bezeichnet eine Verzögerungseinheit zur Bereitstellung eines Eingangssignals mit einer Zeitverzögerung, welche durch das Steuersignal von der Ladungspumpe **26** des PLL **30** gesteuert wird, und Bezugszeichen **32** bezeichnet einen Inverter, der in der Verzögerungseinheit **31** angeordnet ist, zur Bereitstellung eines Eingangs mit einer Zeitverzögerung, welche von dem Steuersignal gesteuert wird.

Der Frequenzteiler **23** teilt die Frequenz eines Ausgangssignals von dem VCO **22** durch m , um einen frequenzgeteilten Takt derselben Frequenz wie derjenigen des Bezugstakts zu erzeugen und der Ladungspumpe bereitzustellen. Der VCO **2** erzeugt einen frequenzmultiplizierten Takt, dessen Phase durch das Steuersignal von der Ladungspumpe **22** gesteuert wird und dessen Frequenz m -mal so groß wie diejenige des Bezugstakts ist. Wie in Fig. 8 dargestellt weist die Verzögerungseinheit **31** eine Mehrzahl von seriellen Invertern **32** auf, wobei deren Anzahl dieselbe wie diejenige der in der Mehrzahl vorhandenen Inverter **28** ist, welche in dem VCO **22** eingebaut sind. Die Verzögerungseinheit **31** bildet zusammen mit der Mehrzahl von Verzögerungsschaltungen **18a** und **18b** eine Schleife. Darüber hinaus ist der Ausgang der Verzögerungseinheit **31**, welcher ebenfalls als der Ausgang der Schleife dient, an die Mehrzahl der seriellen Verzögerungsschaltungen **18c** und **18d** angeschlossen. Die Taktzeugungsschaltung der fünften Ausführungsform stellt einen Ausgangstakt über die Verzögerungsschaltung **18d** an der letzten Stufe der Serie von Verzögerungsschaltungen **18c** und **18d** bereit. In dem in Fig. 8 dargestellten Beispiel setzt sich der VCO **22** aus fünf Invertern **28** zusammen, und die Verzögerungseinheit **31** setzt sich aus fünf Invertern **32** zusammen. Jedoch ist die Anzahl von in dem VCO **22** enthaltenen Invertern **28** nicht auf fünf beschränkt. Es wird erwünscht, dass die in der Mehrzahl vorhandenen Inverter **32** in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Inverter **28** zur Verwendung in dem VCO **22** hergestellt werden.

Im folgenden wird eine Beschreibung des Betriebs der Taktzeugungsschaltung der fünften Ausführungsform unter der Annahme gegeben, dass der Oszillator **24** einen Bezugstakt mit einer Pulswiederholungsperiode von 20 ns erzeugt, d. h. mit einer Frequenz von 50 MHz . Da jede der Verzögerungsschaltungen **18a**, **18b**, **18c** und **18d** auf dieselbe Weise wie diejenige der ersten Ausführungsform arbeitet, wird die Beschreibung des Betriebs davon hier nach ausgelassen.

Die Taktzeugungsschaltung der fünften Ausführungsform wie in Fig. 8 dargestellt kann die elementare Pulswiederholungsperiode des Ausgangstakts mittels des PLL's **30** und der Verzögerungseinheit **31** festlegen und die Pulswiederholungsperiode des Ausgangstakts mittels wenigstens der zwei Verzögerungsschaltungen **18a** und **18b** einstellen. Darüber hinaus kann die Taktzeugungsschaltung die Phase des Ausgangstakts mittels wenigstens der zwei Verzögerungsschaltungen **18c** und **18d** einstellen. Da die Taktzeugungsschaltung der fünften Ausführungsform somit die Mehrzahl von Verzögerungsschaltungen **18a** bis **18d** zur Einstellung der Pulswiederholungsperiode und der Phase des Ausgangstakts aufweist, kann sie die Pulswiederho-

lungsperiode des Ausgangstakts über einen weiten Bereich in Schritten eines feinen Zeitschritts einstellen und des weiteren die Phase des Ausgangstakts über einen weiten Bereich in Schritten eines feinen Zeitschritts einstellen.

Wenn die Verzögerungsschaltung **18a** derart gebildet wird, dass die Pulswiederholungsperiode des Ausgangstakts über den Bereich von 0 bis 10 ns in Inkrementen von $0,5\text{ ns}$ eingestellt wird und die Verzögerungsschaltung **18b** derart gebildet wird, dass die Pulswiederholungsperiode des Ausgangstakts über den Bereich von 0 bis 100 ns in Inkrementen von 10 ns beispielsweise eingestellt wird, kann die Taktzeugungsschaltung die Pulswiederholungsperiode des Ausgangstakts über den Bereich von 0 bis 110 ns in Inkrementen von $0,5\text{ ns}$ einstellen. Darüber hinaus kann die Taktzeugungsschaltung des weiteren die Phase des Ausgangstakts über denselben weiten Bereich in Inkrementen desselben feinen Zeitschritts mittels der Verzögerungsschaltungen **18c** und **18d** einstellen, welche auf dieselbe Weise wie die Verzögerungsschaltungen **18a** und **18b** gebildet werden.

Wie oben beschrieben kann bei der fünften Ausführungsform die Taktzeugungsschaltung die elementare Pulswiederholungsperiode des Ausgangstakts mittels der Verzögerungseinheit **31**, die durch den PLL **30** gesteuert wird, genau beibehalten und die Pulswiederholungsperiode des Ausgangstakts über einen weiten Bereich und in Schritten eines feinen Zeitschritts einstellen und des weiteren die Phase des Ausgangstakts über einen weiten Bereich und in Schritten eines feinen Zeitschritts mittels der in der Mehrzahl vorkommenden Verzögerungsschaltungen **18a** bis **18d** einstellen, welche jeweils zur Einstellung der Pulswiederholungsperiode oder der Phase des Ausgangstakts vorgesehen sind. Obwohl sogar die elementare Pulswiederholungsperiode des durch die Verzögerungseinheit **31** definierten Ausgangstakts sich infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energiezufuhr ändert, tritt dieselbe Änderung in dem PLL **30** auf, um den PLL **30** zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem PLL erzeugten frequenzmultiplizierten Takte und des Bezugstakts hervorgerufen wird, und daher kehrt die elementare Pulswiederholungsperiode des durch die Verzögerungseinheit **31** definierten Ausgangstakts unmittelbar und leicht auf den gewünschten festgelegten Wert zurück. Obwohl sogar die durch eine Verzögerungseinheit in jeder der in der Mehrzahl vorkommenden Verzögerungsschaltungen **18a**, **18b**, **18c** und **18d** bereitgestellten Zeitverzögerung sich infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energiezufuhr ändert, tritt dieselbe Änderung in einem PLL auf, der in der Verzögerungseinheit enthalten ist, um den PLL zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem PLL erzeugten frequenzmultiplizierten Takte und eines an den PLL angelegten Bezugstakts hervorgerufen wird, und daher kehrt die einem Eingangstaktsignal durch jede der in der Mehrzahl vorkommenden Verzögerungsschaltungen bereitgestellte Phasenverschiebung unmittelbar und leicht zu einem gewünschten festgelegten Wert zurück. Da die in der Mehrzahl vorkommenden Inverter **32** der Verzögerungseinheit **31** in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Inverter **28** hergestellt werden, die in dem PLL **30** enthalten sind, rufen des weiteren Änderungen in dem Herstellungsprozess nicht eine Änderung der dem Eingangstaktsignal bereitgestellten Phasenverschiebung von dem gewünschten festgelegten Wert hervor.

Sechste Ausführungsform

Fig. 9 zeigt ein Blockdiagramm, welches die Struktur einer Verzögerungsschaltung einer sechsten Ausführungsform der vorliegenden Erfindung darstellt. Entsprechend der Figur bezeichnet Bezugssymbol 36 einen spannungsgesteuerten Oszillator bzw. einen VCO, Bezugssymbol 4 bezeichnet einen Oszillator zur Erzeugung eines Bezugstakts, Bezugssymbol 6 bezeichnet eine Ladungspumpe zum Vergleichen der Phase des Bezugstakts mit derjenigen eines Ausgangs eines Frequenzteilers 3, um ein Steuersignal mit einem Wert oder einer Spannung entsprechend der Differenz zwischen den Phasen des Bezugstakts und des Ausgangs des Frequenzteilers 3 zu erzeugen und dem VCO 36 bereitzustellen, Bezugssymbol 33 bezeichnet einen Multiplexer, welcher in dem VCO 36 angeordnet ist, Bezugssymbol 9 bezeichnet einen Phasenregelkreis bzw. einen PLL, welcher sich zusammensetzt aus dem VCO 36, der Ladungspumpe 6 und dem Frequenzteiler 3, Bezugssymbol 11 bezeichnet einen Eingangsanschluss zum Empfang eines zu verzögernden Eingangssignals, Bezugssymbol 34 bezeichnet eine Verzögerungseinheit, die zwischen dem Eingangsanschluss 11 und einem Ausgangsanschluss 13 angeordnet ist, zur Bereitstellung des an den Eingangsanschluss 11 angelegten Eingangssignals mit einer bestimmten Zeitverzögerung, Bezugssymbol 35 bezeichnet einen Multiplexer, der in der Verzögerungseinheit 34 angeordnet ist, Bezugssymbol 19 bezeichnet ein Register, in welches Informationen zur Steuerung einer Mehrzahl von Multiplexern 35 der Verzögerungseinheit 34 geschrieben sind, und Bezugssymbol 41 bezeichnet die Verzögerungsschaltung.

Der Frequenzteiler 3 teilt die Frequenz eines Ausgangssignals des VCO's 36 durch n , um einen frequenzgeteilten Takt derselben Frequenz wie derjenigen des Bezugstakts zu erzeugen und der Ladungspumpe 6 bereitzustellen. Der VCO 36 erzeugt einen frequenzmultiplizierten Takt, dessen Phase durch das Steuersignal von der Ladungspumpe 6 gesteuert wird. Der frequenzmultiplizierte Takt besitzt eine Frequenz, die n -mal so groß wie diejenige des Bezugstakts ist. Wie in Fig. 9 dargestellt setzt sich die Verzögerungseinheit 34 aus einer Mehrzahl von Multiplexern 35 zusammen, die in Serie angeschlossen sind, wobei die Anzahl der Multiplexer 35 gerade ist. Ein Auswahlsteuersignal von dem Register 19 wird an einen Eingang jeder Gruppe von zwei Multiplexern 35 außer an die zwei Multiplexer 35 angelegt, welche dem Eingangsanschluss 11 am nächsten sind. Es wird gewünscht, dass die in der Mehrzahl vorkommenden Multiplexer 35 in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Multiplexer 33 zur Verwendung in dem VCO 36 hergestellt werden.

Als nächstes wird eine Beschreibung des Betriebs der Verzögerungsschaltung der sechsten Ausführungsform unter der Annahme gegeben, dass sich der VCO 36 des PPL's 9 aus fünf Multiplexern 33 zusammensetzt und der Oszillator 4 ein Bezugstakt mit einer Pulswiederholungsperiode von 25 ns, d. h. mit einer Frequenz von 40 MHz, erzeugt. Wenn der PPL 9 den Bezugstakt empfängt, vergleicht die Ladungspumpe 6 des PPL's 9 die Phase des Bezugstakts mit derjenigen des frequenzgeteilten Takts von dem Frequenzteiler 3. Die Ladungspumpe 6 ändert die Spannung des dem VCO 36 bereitzustellenden Steuersignals entsprechend dem Vergleichsergebnis. Die Ladungspumpe 6 erhöht die Spannung des Steuersignals, wenn die Phase des frequenzgeteilten Takts gegenüber derjenigen des Bezugstakts führt, und verringert die Spannung des Steuersignals andernfalls. Somit verringert sich die durch jeden der in der Mehrzahl vorkommenden Multiplexer 33 des VCO's 36 bereitgestellte Zeitverzögerung mit einer Abnahme der Spannung des

Steuersignals und erhöht sich daher mit einem Ansteigen der Spannung des Steuersignals. Wenn die Phase des frequenzgeteilten Takts gegenüber derjenigen des Bezugstakts führt, erhöht sich als Ergebnis die Pulswiederholungsperiode des frequenzmultiplizierten Takts, da sich die durch jeden der in der Mehrzahl vorkommenden Multiplexer 33 bereitgestellte Zeitverzögerung erhöht. Wenn demgegenüber die Phase des Bezugstakts gegenüber derjenigen des frequenzgeteilten Takts führt, verringert sich die Pulswiederholungsperiode des frequenzmultiplizierten Takts, da sich die durch jeden der in der Mehrzahl vorkommenden Multiplexer 33 bereitgestellte Zeitverzögerung verringert. Wenn der Bezugstakt in Phase mit dem frequenzgeteilten Takt gebracht wird, begibt sich der PLL 9 in seinen gesperrten Zustand. Wenn der PLL in seinem gesperrten Zustand gehalten wird, besitzt der frequenzgeteilte Takt, welcher durch Frequenzteile des frequenzmultiplizierten Takts durch n mittels des Frequenzteilers 3 erzielt wird, die gleiche Pulswiederholungsperiode wie der Bezugstakt. Zu der Zeit besitzt der von dem VCO 36 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von $(25/n)$ ns. Wenn beispielsweise der Frequenzteiler 3 die Frequenz des daran angelegten frequenzmultiplizierten Takts durch 20 teilt, besitzt der von dem VCO 36 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von 1,25 ns.

Das von der Ladungspumpe 6 bereitgestellte Steuersignal des PLL's 9 wird an den Steueranschluss von jedem der in der Mehrzahl vorkommenden Multiplexer 35 der Verzögerungseinheit 34 ebenso wie an den Steueranschluss von jedem der in der Mehrzahl vorkommenden Multiplexer 33 des VCO's 36 wie in Fig. 9 dargestellt angelegt. Die durch jeden der in der Mehrzahl vorkommenden Multiplexer 35 bereitgestellte Zeitverzögerung wird somit von dem PLL 9 gesteuert. Wenn sich der PLL 9 selbst in den gesperrten Zustand begibt, wird der frequenzgeteilte Takt, welcher durch Frequenzteile des von dem VCO 36 erzeugten frequenzmultiplizierten Takts erzielt wird, in Phase mit dem Bezugstakt gebracht. Die Pulswiederholungsperiode des frequenzmultiplizierten Takts wird zu $(25/n)$ ns, wenn die Pulswiederholungsperiode des von dem Oszillator 4 erzeugten Bezugstakts beispielsweise 25 ns beträgt. Als Ergebnis wird die von jedem der in der Mehrzahl vorkommenden Multiplexer 33 des VCO's 36 bereitgestellte Zeitverzögerung fest auf einen vorbestimmten Wert festgelegt. Ebenfalls ist die von jedem der in der Mehrzahl vorkommenden Multiplexer 35 der Verzögerungseinheit 34 bereitgestellte Zeitverzögerung unter der Steuerung des PLL's 9 fest auf den vorbestimmten Wert festgelegt.

Wenn beispielsweise der Frequenzteiler 3 die Frequenz des frequenzmultiplizierten Takts von dem VCO 36 durch 20 teilt, wird die Pulswiederholungsperiode des von dem VCO 36 erzeugten frequenzmultiplizierten Takts zu 1,25 ns. Wenn sich der VCO 36 aus 5 Multiplexern 33 zusammensetzt, wird die von jedem der in der Mehrzahl vorkommenden Multiplexer 33 bereitgestellte Zeitverzögerung zu 0,25 ns. Ähnlich wird die von jedem der in der Mehrzahl vorkommenden Multiplexer 35 der Verzögerungseinheit 34 bereitgestellte Zeitverzögerung zu 0,25 ns. Wenn dementsprechend sich die Verzögerungseinheit 34 aus $2N$ Multiplexern 35 zusammensetzt, stellt die Verzögerungseinheit 34 ein daran mittels des Eingangsanschlusses 11 angelegtes Eingangssignal mit einer Zeitverzögerung in dem Bereich von 0,5 bis $(0,5 \times N)$ ns bereit, wobei die Zeitverzögerungen in Inkrementen von 0,5 ns festgelegt sind. Mit anderen Worten, die kleinste Änderung der dem Eingangssignal bereitstellenden Zeitverzögerung, welche dem Eingangsanschluss 11 angelegt wird, durch die Verzögerungseinheit 34 entspricht der von jeder Gruppe von 2 Multiplexern 35 be-

reitgestellten Zeitverzögerung. Einer der zwei in jeder Gruppe enthaltenen Multiplexer 35 mit der Ausnahme der Gruppe, welche dem Eingangsanschluss 11 am nächsten ist, wird entsprechend der in das Register 19 geschriebenen Informationen gesteuert. Wenn ein an der Seite des Eingangsanschlusses 11 befindlicher Multiplexer der Gruppe von zwei Multiplexern 35, welcher dem Ausgangsanschluss am nächsten ist, gesteuert wird, so dass das an dem Eingangsanschluss 11 angelegte Eingangssignal entsprechend dem Inhalt des Registers 19 gewählt wird, stellt die Verzögerungseinheit 34 das Eingangssignal mit einer bestimmten Zeitverzögerung von 0,5 ns bereit.

Wie oben beschrieben, kann bei der sechsten Ausführungsform durch eine Steuerung der Verzögerungseinheit 34, welche ein Eingangssignal mit einer Zeitverzögerung bereitstellen kann, unter Verwendung des Registers 19, wobei die Zeitverzögerung in Inkrementen eines Zeitschrittes festgelegt wird, dessen Wert von dem PLL 9 gesteuert wird, die Verzögerungsschaltung das Eingangssignal mit der Zeitverzögerung in dem Bereich einer minimalen Zeitverzögerung entsprechend dem Zeitschritt mit einer vorbestimmten Zeitverzögerung versehen. Dementsprechend kann die Verzögerungsschaltung 41 von Fig. 9 die Zeitverzögerung in Schritten eines vorbestimmten Zeitschritts von beispielsweise 0,5 ns genau steuern. Obwohl sich sogar die von der Verzögerungseinheit 34 bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energiezufuhr ändert, tritt in dem PLL 9 dieselbe Änderung auf, um den PLL 9 zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem PLL 9 erzeugten frequenzmultiplizierten Takts und des Bezugstakts hervorgerufen wird, und daher kehrt die dem Eingangssignal durch die Verzögerungseinheit 34 bereitgestellte Zeitverzögerung unmittelbar und leicht auf den gewünschten festgelegten Wert zurück. Da die in der Mehrzahl vorkommenden Multiplexer 35 der Steuereinheit 34 in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Multiplexer 33, welche in dem PLL 9 enthalten sind, hergestellt werden, rufen des weiteren Änderungen in dem Herstellungsprozess nicht eine Änderung der Zeitverzögerung von dem gewünschten festgelegten Wert hervor.

Siebente Ausführungsform

Fig. 10 zeigt ein Blockdiagramm, welches die Struktur einer Taktzeugungsschaltung einer siebenten Ausführungsform der vorliegenden Erfindung darstellt. In der Figur bezeichnen dieselben Bezugszeichen wie in Fig. 9 dargestellt dieselben Komponenten wie diejenigen der Verzögerungsschaltung der oben beschriebenen sechsten Ausführungsform, und daher wird die Beschreibung der Komponenten hier nach ausgelassen. Wie aus Fig. 10 ersichtlich enthält die Taktzeugungsschaltung der siebenten Ausführungsform eine Verzögerungsschaltung 41 der oben beschriebenen sechsten Ausführungsform. Entsprechend der Fig. 10 bezeichnet Bezugszeichen 21 einen Inverter, welcher einen Ausgangsanschluss 13 der Verzögerungsschaltung 18 mit einem Eingangsanschluss 11 der Verzögerungsschaltung verbindet, um eine Schleife zu bilden. Wie in Fig. 10 dargestellt enthält ein VCO 36 eines PLL's 9 fünf Multiplexer 33. Jedoch ist die Anzahl der in dem VCO 36 enthaltenen Multiplexer 33 nicht auf fünf beschränkt.

Im folgenden wird eine Beschreibung des Betriebs der Taktzeugungsschaltung der siebenten Ausführungsform unter der Annahme gegeben, dass sich der VCO 36 des PLL's 9 aus fünf Multiplexern 33 zusammensetzt und ein Oszillatator 4 einen Bezugstakt mit einer Pulswiederholungs-

periode von 25 ns erzeugt, d. h. mit einer Frequenz von 40 MHz. Die Verzögerungsschaltung 41 arbeitet auf dieselbe Weise wie diejenige der sechsten Ausführungsform. D. h. wenn der PLL 9 einen Bezugstakt empfängt, vergleicht 5 eine Ladungspumpe 6 des PLL's 9 die Phase des Bezugstakts mit derjenigen eines frequenzgeteilten Takts von einem Frequenzteiler 3. Die Ladungspumpe 6 ändert die Spannung eines dem VCO 36 bereitzustellenden Steuersignals entsprechend dem Vergleichsergebnis, so dass der frequenzgeteilte Takt in Phase mit dem Bezugstakt gebracht wird. Wenn der Bezugstakt in Phase mit dem frequenzgeteilten Takt gebracht wird, begibt sich der PLL 9 selbst in seinen gesperrten Zustand. Wenn der PLL 9 in seinem gesperrten Zustand gehalten wird, besitzt der frequenzgeteilte 10 Takt, welcher durch Frequenzteile des frequenzmultiplizierten Takts durch n mittels des Frequenzteilers 3 erzielt wird, dieselbe Pulswiederholungsperiode wie der Bezugstakt. Zu der Zcit besitzt der von dem VCO 36 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode 15 von $(25/n)$ ns. Wenn beispielsweise der Frequenzteiler 3 die Frequenz des daran angelegten frequenzmultiplizierten Takts durch 20 teilt, besitzt der von dem VCO 36 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von 1,25 ns.

25 Das von der Ladungspumpe 6 des PLL's 9 bereitgestellte Steuersignal wird dem Steueranschluss von jedem der in der Mehrzahl vorkommenden Multiplexer 35 der Verzögerungseinheit 34 ebenso wie dem Steueranschluss von jedem der in der Mehrzahl vorkommenden Multiplexer 33 des VCO's 36 wie in Fig. 10 dargestellt angelegt. Die durch jeden der in der Mehrzahl vorkommenden Multiplexer 35 bereitgestellte Zeitverzögerung wird somit von dem PLL 9 gesteuert. Wenn sich der PLL selbst in seinen gesperrten Zustand begibt, wird der frequenzgeteilte Takt, welcher durch 30 Frequenzteile des von dem VCO 36 erzeugten frequenzmultiplizierten Takts erzielt wird, in Phase mit dem Bezugstakt gebracht. Die Pulswiederholungsperiode des frequenzmultiplizierten Takts wird zu $(25/n)$ ns, wenn die Pulswiederholungsperiode des von dem Oszillatator 4 erzeugten Bezugstakts beispielsweise 25 ns beträgt. Als Ergebnis wird die von jedem der in der Mehrzahl vorkommenden Multiplexer 35 des VCO's 36 bereitgestellte Zeitverzögerung fest auf einen vorbestimmten Wert festgelegt. Ebenfalls wird die von jedem der in der Mehrzahl vorkommenden Multiplexer 35 der Verzögerungseinheit 34 bereitgestellte Zeitverzögerung unter Steuerung des PLL's 9 fest auf den vorbestimmten Wert festgelegt.

Wenn beispielsweise der Frequenzteiler 3 die Frequenz des frequenzmultiplizierten Takts von dem VCO 36 durch 35 teilt, wird die von jedem der in der Mehrzahl vorkommenden Multiplexer 35 in der Verzögerungseinheit 34 bereitgestellte Zeitverzögerung zu 0,25 ns. Wenn dementsprechend sich die Verzögerungseinheit 34 aus 2 N Multiplexern 35 zusammensetzt, stellt die Verzögerungseinheit 34 ein daran mittels des Eingangsanschlusses 11 angelegtes Eingangssignal mit einer Zeitverzögerung in dem Bereich von 0,5 bis $(0,5 \times N)$ ns bereit, wobei die Zeitverzögerung in Inkrementen von 0,5 ns festgesetzt wird. Mit anderen Worten, die kleinste Änderung (oder Zeitschritt) bei der Verzögerungszeit, welche einem Eingangssignal bereitgestellt werden soll, das an den Eingangsanschluss 11 angelegt wird, durch die Verzögerungseinheit 34 entspricht der Zeitverzögerung, die jeder Gruppe von zwei Multiplexern 35 bereitgestellt wird. Einer der zwei Multiplexer 35, welche in jeder Gruppe enthalten sind, außer der Gruppe von zwei Multiplexern 35, welche dem Eingangsanschluss 11 am nächsten sind, wird entsprechend der in das Register 19 geschriebenen Informationen gesteuert. Dementsprechend kann die 40

Takterzeugungsschaltung der siebten Ausführungsform die Pulswiederholungsperiode eines Ausgangstakts von der elementaren Pulswiederholungsperiode zu der elementaren Pulswiederholungsperiode $+0,5 \times (N - 1)$ in Schritten von 0,5 ns entsprechend dem Inhalt des Registers 19 genau ändern. Die elementare Pulswiederholungsperiode des Ausgangstakts ist gleich der Summe der durch den Inverter hervorgerufenen Zeitverzögerung und 0,5 ns.

Wie oben beschrieben kann bei der siebten Ausführungsform die Takterzeugungsschaltung die Pulswiederholungsperiode eines Ausgangstakts in Schritten eines vorbestimmten Zeitschritts durch Verzögern eines Eingangstakts um eine Zeitverzögerung in dem Bereich einer minimalen Zeitverzögerung entsprechend dem vorbestimmten Zeitschritt auf eine bestimmte Zeitverzögerung genau ändern, wobei die Zeitverzögerung in Inkrementen des Zeitschritts unter Verwendung der Verzögerungseinheit 34 festgelegt wird, die von dem PLL 9 gesteuert wird. Obwohl sich sogar die von der Verzögerungseinheit 34 in der Verzögerungsschaltung 41 bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung in der Spannung in der Energiezufuhr ändert, tritt dieselbe Änderung in dem PLL 9 auf, um den PLL 9 zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem PLL 9 erzeugten frequenzmultiplizierten Takts und des Bezugstakts hervorgerufen wird, und daher kehrt die Pulswiederholungsperiode des durch die Verzögerungsschaltung 41 definierten Ausgangstakts unmittelbar und leicht auf den gewünschten festgelegten Wert zurück. Da die in der Mehrzahl vorkommenden Multiplexer 35 der Verzögerungseinheit 34 in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Multiplexer 33, die in dem PLL 9 enthalten sind, hergestellt werden, rufen des weiteren Änderungen in dem Herstellungsprozess nicht eine Änderung der Pulswiederholungsperiode des Ausgangstakts von dem gewünschten festgelegten Wert hervor.

Achte Ausführungsform

Fig. 11 zeigt ein Blockdiagramm, welches die Struktur einer Takterzeugungsschaltung einer achten Ausführungsform der vorliegenden Erfindung darstellt. Entsprechend der Figur bezeichnen dieselben Bezugssymbole wie in Fig. 9 dargestellt dieselben Komponenten wie jene der Verzögerungsschaltung der oben beschriebenen sechsten Ausführungsform, und daher wird die Beschreibung der Komponenten hier nach ausgelassen. Wie aus Fig. 11 ersichtlich enthält die Takterzeugungsschaltung der achten Ausführungsform eine Verzögerungsschaltung 41 der oben beschriebenen sechsten Ausführungsform. Entsprechend Fig. 11 bezeichnet Bezugssymbol 24 einen Oszillator zur Erzeugung eines zweiten Bezugstakts, Bezugssymbol 42 bezeichnet eine Steuerschaltung zum Vergleich der Phase des zweiten Bezugstakts mit derjenigen eines Ausgangs einer digitalen Verzögerungsleitung 44, um ein Steuersignal mit einem Wert entsprechend der Differenz zwischen den Phasen des zweiten Bezugstakts und des Ausgangs der digitalen Verzögerungsleitung 44 bereitzustellen, wodurch die Verzögerungszeit definiert wird, welche von der digitalen Verzögerungsleitung 44 bereitgestellt werden soll, und zur Bestimmung des Frequenzmultiplikationsverhältnisses eines von der digitalen Verzögerungsleitung 44 erzeugten frequenzmultiplizierten Takts unter Verwendung eines nicht dargestellten Zählers, Bezugssymbol 43 bezeichnet einen digitalen PLL, welcher sich aus der Steuerschaltung 42 und der digitalen Verzögerungsleitung 44 zusammensetzt, Bezugssymbol 45 bezeichnet eine digitale Verzögerungsleitung, welche

zwischen Ausgangs- und Eingangsanschlüssen 13 und 11 der Verzögerungsschaltung 41 angeschlossen ist, zur Bereitstellung eines Eingangssignals mit einer Zeitverzögerung, welche von dem Steuersignal von der Steuerschaltung

- 5 42 des digitalen PLL's 43 gesteuert wird. Die von der digitalen Verzögerungsleitung 45 bereitgestellte Zeitverzögerung ist gleich derjenigen, welche von der digitalen Verzögerungsleitung 44 bereitgestellt wird. Mit anderen Worten, die von der digitalen Verzögerungsleitung 45 bereitgestellte
- 10 Zeitverzögerung besitzt einen Wert gleich demjenigen der Pulswiederholungsperiode des von dem digitalen PLL 43 erzeugten frequenzmultiplizierten Takts. Der digitale PLL 43 erzeugt einen frequenzmultiplizierten Takt, dessen Frequenz m-mal so groß wie diejenige des zweiten Bezugstakts ist.
- 15 Es wird gewünscht, dass die digitale Verzögerungsleitung 45 unter derselben Bedingung wie die digitale Verzögerungsleitung 44 zur Verwendung in dem digitalen PLL 43 hergestellt wird.

Als nächstes wird eine Beschreibung des Betriebs der 20 Takterzeugungsschaltung der achten Ausführungsform unter der Annahme gegeben, dass der VCO 36 des PLL's 9 in der Verzögerungsschaltung 41 sich aus fünf Multiplexern 33 zusammensetzt, die Verzögerungseinheit 34 sich aus 2 N Multiplexern 35 zusammensetzt, ein Oszillator 4 in der Verzögerungsschaltung einen ersten Bezugstakt mit einer Pulswiederholungsperiode von 25 ns, d. h. mit einer Frequenz von 40 MHz, erzeugt und der Oszillator 24 einen zweiten Bezugstakt mit einer Pulswiederholungsperiode von 20 ns erzeugt, d. h. mit einer Frequenz von 50 MHz. Da die Verzögerungsschaltung 41 auf dieselbe Weise wie diejenige der oben beschriebenen sechsten Ausführungsform arbeitet, wird die Beschreibung des Betriebs der Verzögerungsschaltung 41 hier nach ausgelassen.

Wenn der digitale PLL 43 ähnlich wie der PLL 9 der Verzögerungsschaltung 41 den zweiten Bezugstakt empfängt, vergleicht die Steuerschaltung 42 des digitalen PLL's 43 die Phase des zweiten Bezugstakts mit derjenigen des frequenzmultiplizierten Takts von der digitalen Verzögerungsleitung 44. Der frequenzmultiplizierte Takt besitzt eine Frequenz, die m-mal so groß wie diejenige des zweiten Bezugstakts ist. Die Steuerschaltung 42 ändert die Spannung eines der digitalen Verzögerungsleitung 44 bereitzustellenden Steuersignals entsprechend dem Vergleichsergebnis, so dass der frequenzmultiplizierte Takt in Phase mit dem zweiten Bezugstakt gebracht wird. Wenn der zweite Bezugstakt in Phase mit dem frequenzmultiplizierten Takt gebracht wird, beginnt sich der digitale PLL 43 selbst in seinen gesperrten Zustand. Wenn der digitale PLL 43 in seinem gesperrten Zustand gehalten wird, besitzt der von der digitalen Verzögerungsleitung 44 erzeugte frequenzmultiplizierte Takt eine Pulswiederholungsperiode von $(20/m)$ ns. Wenn beispielsweise die digitale Verzögerungsleitung 44 den frequenzmultiplizierten Takt erzeugt, dessen Frequenz zweimal so groß wie diejenige des zweiten Bezugstakts ist, besitzt der frequenzmultiplizierte Takt eine Pulswiederholungsperiode von 10 ns.

Das von der Steuerschaltung 42 des digitalen PLL's 43 bereitgestellte Steuersignal wird an einen Steueranschluss der digitalen Verzögerungsleitung 45 ebenso wie an einen Steueranschluss der digitalen Verzögerungsleitung 44 wie in Fig. 11 dargestellt angelegt. Die einem Eingangssignal durch die digitale Verzögerungsleitung 45 bereitzustellende Zeitverzögerung wird somit von der Steuerschaltung 42 gesteuert. Wenn der digitale PLL 43 sich in seinen gesperrten Zustand beginnt, wird der von der digitalen Verzögerungsleitung 44 erzeugte frequenzmultiplizierte Takt in Phase mit dem zweiten Bezugstakt gebracht. Die Pulswiederholungsperiode des frequenzmultiplizierten Takts wird zu $(20/m)$ ns,

wenn die Pulswiederholungsperiode des von dem Oszillator 24 erzeugten zweiten Bezugstakts beispielsweise 20 ns beträgt. Als Ergebnis wird die von der digitalen Verzögerungsleitung 44 bereitgestellte Zeitverzögerung fest auf einen vorbestimmten Wert festgelegt. Ebenfalls wird die von der digitalen Verzögerungsleitung 45 bereitgestellte Zeitverzögerung unter der Steuerung der Steuerschaltung 42 fest auf den vorbestimmten Wert festgelegt. Wenn beispielsweise die digitale Verzögerungsleitung 44 den frequenzmultiplizierten Takt erzeugt, dessen Frequenz zweimal so groß wie die derjenige des zweiten Bezugstakts ist, beträgt die Pulswiederholungsperiode des frequenzmultiplizierten Takts 10 ns.

Wenn demgegenüber der Frequenzteiler 3 in der Verzögerungsschaltung 41 die Frequenz des frequenzmultiplizierten Takts von dem VCO 36 durch 20 teilt, wird die von jedem der in der Mehrzahl vorhandenen Multiplexer 35 der Verzögerungscincht 34 bereitgestellte Zeitverzögerung zu 0,25 ns wie vorher bei der sechsten Ausführungsform erklärt. Wenn demgegenüber sich die Verzögerungseinheit 34 aus 2 N Multiplexern 35 zusammensetzt, stellt die Verzögerungseinheit 34 ein mittels des Eingangsanschlusses 11 daran angelegtes Eingangssignal mit einer Zeitverzögerung in dem Bereich von 0,5 bis $(0,5 \times N)$ ns bereit, wobei die Zeitverzögerung in Inkrementen von 0,5 ns festgelegt wird. Dementsprechend kann die Takterzeugungsschaltung der achten Ausführungsform die Pulswiederholungsperiode eines Ausgangstakts von der elementaren Pulswiederholungsperiode auf die elementare Pulswiederholungsperiode $+0,5 \times (N - 1)$ ns in Schritten von 0,5 ns entsprechend dem Inhalt eines Registers 19 genau einstellen. In dem dargestellten Beispiel beträgt die elementare Pulswiederholungsperiode des Ausgangstakts 10,5 ns.

Vorzugsweise sind die ersten und zweiten Bezugstakte bezüglich ihrer Frequenz gleich. Wenn beispielsweise die ersten und zweiten Oszillatoren 4 und 24 erste und zweite Bezugstakte mit einer gleichen Wiederholungsperiode von 25 ns erzeugen (d. h. mit der gleichen Frequenz von 40 MHz), teilt der Frequenzteiler 3 die Frequenz des frequenzmultiplizierten Takts von dem VCO 36 durch 20, und die digitale Verzögerungsleitung 44 erzeugt den frequenzmultiplizierten Takt, dessen Frequenz gleich derjenigen des zweiten Bezugstakts ist, wobei die Takterzeugungsschaltung die Pulswiederholungsperiode des Ausgangstakts entsprechend dem Inhalt des Registers genau steuern kann, so dass sie in dem Bereich von 25,5 ns bis $25 + (0,5 \times N)$ ns in Schritten von 0,5 ns liegt.

Wie oben beschrieben kann bei der achten Ausführungsform die Takterzeugungsschaltung die elementare Pulswiederholungsperiode eines Ausgangstakts mittels der digitalen Verzögerungsleitung 45 genau aufrechterhalten, welche durch den digitalen PLL 43 gesteuert wird, und die Pulswiederholungsperiode des Ausgangstakts in Schritten eines vorher bestimmten Zeitschritts durch Verzögern eines Eingangssignals um eine Zeitverzögerung in dem Bereich einer minimalen Zeitverzögerung entsprechend dem Zeitschritt auf eine bestimmte Zeitverzögerung genau ändern, wobei die Zeitverzögerung in Inkrementen des Zeitschritts unter Verwendung der Verzögerungseinheit 34 festgelegt wird, welche von dem PLL 9 gesteuert wird. Obwohl sich sogar die elementare Pulswiederholungsperiode des durch die digitale Verzögerungsleitung 45 definierten Ausgangstakts infolge einer Änderung der Umgebungstemperatur oder einer Änderung der Spannung einer Energiezufuhr ändert, tritt dieselbe Änderung in dem digitalen PLL 43 auf, um den digitalen PLL 43 zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des von dem digitalen PLL 43 erzeugten

frequenzmultiplizierten Takts und des Bezugstakts hervorgerufen wird, und daher kehrt die elementare Pulswiederholungsperiode des durch die digitale Verzögerungsleitung 45 definierten Ausgangstakts unmittelbar und leicht auf den gewünschten festgelegten Wert zurück. Obwohl sich sogar die von der Verzögerungseinheit 34 in der Verzögerungsschaltung 41 bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung in der Spannung einer Energiezufuhr ändert, tritt dieselbe Änderung in dem PLL 9 auf, um den PLL 9 zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des durch den PLL 9 erzeugten frequenzmultiplizierten Takts und des Bezugstakts hervorgerufen wird, und daher kehrt die Pulswiederholungsperiode des durch die Verzögerungsschaltung 41 definierten Ausgangstakts unmittelbar und leicht auf den gewünschten festgelegten Wert zurück. Da die digitale Verzögerungsleitung 45 unter derselben Bedingung wie die digitale Verzögerungsleitung 44 hergestellt wird, rufen die weiteren Änderungen in dem Herstellungsprozess nicht eine Änderung der elementaren Pulswiederholungsperiode des Ausgangstakts von dem gewünschten festgelegten Wert hervor.

Neunte Ausführungsform

Fig. 12 zeigt ein Blockdiagramm, welches die Struktur der Phasensynchronisierungsschaltung einer neunten Ausführungsform der vorliegenden Erfindung darstellt. Entsprechend der Figur bezeichnen dieselben Bezeichnungen wie in **Fig. 9** dargestellt dieselben Komponenten wie jene der Verzögerungsschaltung der oben beschriebenen sechsten Ausführungsform, und daher wird die Beschreibung der Komponenten hier nach ausgelassen. Wie aus **Fig. 12** ersichtlich enthält die Phasensynchronisierungsschaltung der neunten Ausführungsform eine Verzögerungsschaltung 41 der oben beschriebenen sechsten Ausführungsform. Entsprechend **Fig. 12** bezeichnet Bezeichnungen 37 einen Oszillator zur Erzeugung eines Taks mit einer vorbestimmten Pulswiederholungsperiode. Der Oszillator 37 kann sich aus einem PLL zusammensetzen. Als Alternative kann der Oszillator 37 eine Takterzeugungsschaltung der oben beschriebenen zweiten oder dritten Ausführungsform sein. Der Oszillator 37 kann alternativ eine Takterzeugungsschaltung der oben beschriebenen siebenten oder achten Ausführungsform sein. Des Weiteren bezeichnet entsprechend **Fig. 12** Bezeichnungen 38 einen Phasenkomparator zum Vergleichen der Phase eines daran angelegten zweiten Bezugstakts mit derjenigen eines Ausgangstakts der Verzögerungsschaltung 41 und zum Bereitstellen eines Steuersignals mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des zweiten Bezugstakts und des Ausgangstakts der Verzögerungsschaltung einem Register 19, um den Inhalt des Registers 19 zu ändern, so dass die Phasendifferenz zu null wird.

Im folgenden wird eine Beschreibung des Betriebs der Phasensynchronisierungsschaltung der neunten Ausführungsform unter der Annahme gegeben, dass der VCO 36 des PLL's 9 in der Verzögerungsschaltung 41 fünf Multiplexer 33 aufweist und ein Oszillator 4 einen ersten Bezugstakt mit einer Pulswiederholungsperiode von 25 ns erzeugt, d. h. mit einer Frequenz von 40 MHz. Da die Verzögerungsschaltung 41 auf dieselbe Weise wie diejenige der sechsten Ausführungsform arbeitet, wird die Beschreibung des Betriebs der Verzögerungsschaltung hier nach ausgelassen.

Wenn der Frequenzteiler 3 der Verzögerungsschaltung 41 die Frequenz des daran angelegten frequenzmultiplizierten Takts von dem VCO 36 durch 20 teilt, wird die von jedem der in der Mehrzahl vorkommenden Multiplexer 35 in der Verzögerungseinheit 34 bereitgestellte Zeitverzögerung

zu 0,25 ns wie bei der oben beschriebenen sechsten Ausführungsform. Wenn die Verzögerungseinheit 34 sich aus 2 N Multiplexern 35 zusammensetzt, stellt dementsprechend die Verzögerungseinheit 34 ein daran angelegtes Eingangssignal mit einer Zeitverzögerung in dem Bereich von 0,5 bis $(0,5 \times N)$ ns bereit, wobei die Zeitverzögerung in Inkrementen von 0,5 ns festgelegt wird. Mit anderen Worten, die kleinste Änderung (oder Zeitschritt) in der Zeitverzögerung, welche dem Eingangssignal bereitzustellen ist, das dem Eingangsanschluss 11 durch die Verzögerungseinheit 34 angelegt wird, entspricht der Zeitverzögerung, welcher von jeder Gruppe der zwei Multiplexer 35 bereitgestellt wird. Einer der in jeder Gruppe enthaltenen zwei Multiplexer 35 außer der Gruppe von zwei Multiplexern 35, welche dem Eingangsanschluss 11 am nächsten ist, wird entsprechend den in das Register geschriebenen Informationen gesteuert. Wenn einer der an der Seite des Eingangsanschlusses 11 befindlichen Gruppe von Multiplexern 35, welcher dem Ausgangsanschluss 13 am nächsten ist, gesteuert wird, um das an dem Eingangsanschluss 11 angelegte Eingangssignal entsprechend dem Inhalt des Registers 19 auszuwählen, versieht die Verzögerungseinheit 34 das Eingangssignal mit einer bestimmten Zeitverzögerung von 0,5 ns.

Wenn der Ausgangstakt des Oszillators 37 in Phase mit dem anderen Takt, d. h. dem zweiten Bezugstakt, gebracht wird, vergleicht der Phasenkomparator 38 die Phase des daran angelegten zweiten Bezugstakts mit derjenigen des Ausgangstakts der Verzögerungsschaltung 41 und stellt dann ein Steuersignal mit einem Wert entsprechend der Phasendifferenz dem Register 19 bereit, um den Inhalt des Registers 19 zu ändern, so dass die Phasendifferenz zu null wird. Mit anderen Worten, wenn der Ausgangstakt gegenüber dem zweiten Bezugstakt führt, ändert der Phasenkomparator 38 den Inhalt des Registers 19, so dass sich die Anzahl der Multiplexer 35 erhöht, durch welche der Ausgangstakt in der Verzögerungseinheit 34 hindurchtreten wird. Andernfalls ändert der Phasenkomparator 38 den Inhalt des Registers 19 so dass sich die Anzahl der Multiplexer 35 verringert, durch welcher der Ausgangstakt in der Verzögerungseinheit 34 hindurchtreten wird. Wenn der Frequenzteiler 3 der Verzögerungsschaltung 41 die Frequenz des frequenzmultiplizierten Takts von dem VCO 36 durch 20 teilt, kann der Phasenkomparator den Inhalt des Registers 19 ändern, um die Phase des Ausgangstakts um eine Verzögerungszeit in dem Bereich von 0,5 bis $(0,5 \times N)$ ns in Schritten von 0,5 ns zu ändern, wodurch es ermöglicht wird den Ausgangstakt in Phase mit dem zweiten Bezugstakt zu bringen. Wenn dementsprechend der Ausgangstakt als interner Bezugstakt zur Verwendung mit einer Halbleiterschaltung verwendet wird, kann die Wechselstromcharakteristik der Halbleiterschaltung unter Verwendung des Registers 19 gesteuert werden.

Wie oben beschrieben, kann bei der neunten Ausführungsform die Phasensynchronisierungsschaltung die Phase eines Ausgangstakts in Schritten eines vorbestimmten Zeitschritts durch Verzögern eines Eingangstakts um eine Zeitverzögerung in dem Bereich einer minimalen Zeitverzögerung entsprechend dem Zeitschritt bis zu einer bestimmten Zeitverzögerung, wobei die Zeitverzögerung in Inkrementen des Zeitschrittes festgelegt wird, unter Verwendung der Verzögerungseinheit 34 genau ändern, welche von dem PLL 9 gesteuert wird, wodurch es ermöglicht wird, den Ausgangstakt in Synchronisation mit einem anderen Takt wenn benötigt zu bringen. Obwohl sich jedoch die von der Verzögerungseinheit 34 in der Verzögerungsschaltung 41 bereitgestellte Zeitverzögerung infolge einer Änderung der Umgebungstemperatur oder einer Änderung in der Spannung einer Energiezufuhr ändert, tritt dieselbe Änderung in dem

PLL 9 auf, um den PLL 9 zur Verringerung der Phasendifferenz auf null wirksam zu machen, welche durch die Änderung zwischen den Phasen des durch den PLL 9 erzeugten Frequenz modulierten Takts und des Bezugstakts hervorgerufen wird, und daher kehrt die dem Eingangstakt bereitzustellende Phasenverschiebung, welche durch die Verzögerungsschaltung 41 definiert wird, unmittelbar und leicht auf den gewünschten festgelegten Wert zurück. Da die in der Mehrzahl vorkommenden Multiplexer 35 der Verzögerungseinheit 34 in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Multiplexer 33, welche in dem VCO 36 enthalten sind, hergestellt werden, rufen die weiteren Änderungen in dem Herstellungsprozess nicht eine Änderung der Phasenverschiebung, welche für den Eingangstakt vorgesehen wird, von dem gewünschten festgelegten Wert hervor.

Vorstehend wurde eine Verzögerungsschaltung offenbart, welche einen Phasenregelkreis bzw. PLL (9) enthält zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Takts, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Takts zu erzeugen, zur Erzeugung des anderen Takts unter Verwendung wenigstens einer Mehrzahl von in einer Schleife angeschlossenen Verzögerungselementen (8; 33), wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zur Änderung des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird. Die Verzögerungsschaltung enthält des weiteren ein Register (19) zur Speicherung von Informationen, um eine bestimmte Zeitverzögerung festzulegen, und eine Verzögerungseinheit (10, 12; 34), welche eine Mehrzahl von Verzögerungselementen (20; 35) enthält, wobei jedes davon einen Eingang mit einer Zeitverzögerung bereitstellt, welche durch das Steuersignal von dem PLL (9) gesteuert wird, zur Bestimmung der Anzahl von Verzögerungselementen (20; 35), durch welche ein Eingangssignal hindurchtreten soll, entsprechend den in dem Register (19) gespeicherten Informationen, um das Eingangssignal mit der vorbestimmten Zeitverzögerung bereitzustellen.

Patentansprüche

1. Verzögerungsschaltung mit:
 einer Oszillationseinrichtung (9) zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines anderen zu vergleichenden Takts, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Takts zu erzeugen, zum Erzeugen des anderen Takts unter Verwendung wenigstens einer Mehrzahl von Verzögerungselementen (8; 33), welche in einer Schleife angeschlossen sind, wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird;
 einer Speichereinrichtung (19) zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen; und
 einer Verzögerungseinrichtung (10, 12; 34), welche eine Mehrzahl von Verzögerungselementen (20; 35) enthält, von denen jedes einen Eingang mit einer Zeitverzögerung bereitstellt, die durch das Steuersignal von der Oszillationseinrichtung gesteuert wird, zur Be-

stimmung der Anzahl von Verzögerungselementen, durch welche das ein Eingangssignal hindurchtreten soll, entsprechend den in der Speichereinrichtung gespeicherten Informationen, um das Eingangssignal mit der vorbestimmten Zeitverzögerung zu versehen. 5

2. Verzögerungsschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Oszillationseinrichtung enthalten sind, in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Verzögerungselemente, welche der Verzögerungseinrichtung enthalten sind, hergestellt werden. 10

3. Verzögerungsschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Verzögerungsschaltung eine Mehrzahl von in Serie angeschlossenen Verzögerungsschaltungen aufweist, welche jeweils die Oszillationseinrichtung, die Speichereinrichtung und die Verzögerungseinrichtung enthalten, und wobei jede der in der Mehrzahl vorkommenden Verzögerungsschaltungen die vorbestimmte Zeitverzögerung, welche einem 20

daran angelegten Eingang bereitzustellen ist, in Schritten eines unterschiedlichen Zeitschriffs ändern kann. 25

4. Verzögerungsschaltung nach Anspruch 3, dadurch gekennzeichnet, dass in jeder der in der Mehrzahl vorkommenden Verzögerungsschaltungen die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Oszillationseinrichtung enthalten sind, in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Verzögerungseinrichtung enthalten sind, hergestellt 30

5. Takterzeugungsschaltung mit:

wenigstens einer Verzögerungsschaltung (18; 41), welche eine Oszillationseinrichtung (9) zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Takts, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Takts zu erzeugen, zum Erzeugen des anderen Takts unter Verwendung wenigstens einer Mehrzahl von Verzögerungselementen (8; 33), welche in einer Schleife angeschlossen sind, wobei eine durch jede der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts 40

des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird, eine Speichereinrichtung (19) zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen, und eine Verzögerungseinrichtung (10; 12; 34) enthält, welche eine Mehrzahl von Verzögerungselementen (20; 45

35) enthält, von denen jede einen Eingang mit einer Zeitverzögerung bereitstellt, die durch das Steuersignal von der Oszillationseinrichtung gesteuert wird, zur Bestimmung der Anzahl von Verzögerungselementen, durch welche ein Eingangssignal hindurchtreten soll, entsprechend den in der Speichereinrichtung gespeicherten Informationen, um das Eingangssignal mit der vorbestimmten Zeitverzögerung zu versehen; und 50

einer Takerzeugungseinrichtung (21, 30, 31; 43, 45), welche zusammen mit wenigstens der Verzögerungsschaltung eine Schleife bildet, zur Erzeugung eines Taktpulses mit einer bestimmten elementaren Pulswiederholungsperiode und deren Bereitstellung an die Verzögerungsschaltung und zur Erzeugung eines Takts mit einer vorbestimmten Pulswiederholungsperiode im Zusammenwirken mit der Verzögerungsschaltung. 55

6. Takerzeugungseinrichtung nach Anspruch 5, da-

durch gekennzeichnet, dass die Takerzeugungseinrichtung eine Mehrzahl von in Serie angeschlossenen Verzögerungsschaltungen (18a, 18b), von denen jede eine Oszillationseinrichtung enthält, zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Takts, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Takts zu erzeugen, zum Erzeugen des anderen Takts unter Verwendung wenigstens einer Mehrzahl von in einer Schleife angeschlossenen Verzögerungselementen, wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird, eine Speichereinrichtung zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen, und eine Verzögerungseinrichtung aufweist, welche eine Mehrzahl von Verzögerungselementen enthält, von denen jedes einen Eingang mit einer Zeitverzögerung bereitstellt, welche durch das Steuersignal von der Oszillationseinrichtung gesteuert wird, zur Bestimmung der Anzahl von Verzögerungselementen, durch welche ein Eingangssignal hindurchtreten soll, entsprechend den in der Speichereinrichtung gespeicherten Informationen, um das Eingangssignal mit der vorbestimmten Zeitverzögerung zu versehen, wobei jede der in der Mehrzahl vorkommenden Verzögerungsschaltungen geeignet ist eine bestimmte Zeitverzögerung, welche einem daran angelegten Eingang bereitzustellen ist, in Schritten eines unterschiedlichen Zeitschriffs zu ändern, und dass die in der Mehrzahl vorkommenden Verzögerungsschaltungen zusammen mit der Takerzeugungseinrichtung eine Schleife bilden. 60

7. Takerzeugungsschaltung nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass in jeder der in der Mehrzahl vorkommenden Verzögerungsschaltungen die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Oszillationseinrichtung enthalten sind, in demselben Halbleiterprozess wie die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Verzögerungseinrichtung enthalten sind, hergestellt werden. 65

8. Takerzeugungsschaltung nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass die Takerzeugungseinrichtung eine Einrichtung (21) zum Invertieren eines Ausgangs der Verzögerungsschaltung ist, welche zusammen mit der Takerzeugungseinrichtung eine Schleife bildet, um den Takt mit der vorbestimmten Pulswiederholungsperiode im Zusammenwirken mit der Verzögerungsschaltung zu erzeugen. 70

9. Takerzeugungsschaltung, nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass die Takerzeugungseinrichtung eine Steuereinrichtung (30; 43) zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Takts, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Takts zu erzeugen, zum Erzeugen des anderen Takts unter Verwendung der ersten in einer Schleife gebildeten Verzögerungseinrichtung (22; 44), wobei eine von der Verzögerungseinrichtung bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem Bezugstakt gebracht wird, und eine zweite Verzö-

• gerungseinrichtung (31; 45) enthält zum Invertieren eines Ausgangs der Verzögerungsschaltung, welche zusammen mit der Takterzeugungseinrichtung die Schleife bildet, und zum Bereitstellen des Ausgangs mit einer Zeitverzögerung, welche durch das Steuersignal von der Steuereinrichtung gesteuert wird, um den Takt mit der vorbestimmten Pulsiederholungsperiode im Zusammenwirken mit der Verzögerungsschaltung zu erzeugen.

10. Takterzeugungsschaltung nach Anspruch 9, dadurch gekennzeichnet, dass die Steuereinrichtung (30) eine Mehrzahl von in Serie angeschlossenen Verzögerungselementen (28) enthält, welche als die in einer Schleife gebildete erste Verzögerungseinrichtung angeordnet sind, wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und dass die zweite Verzögerungseinrichtung (31) der Takterzeugungseinrichtung eine Mehrzahl von in Serie angeschlossenen Verzögerungselementen (32) enthält, wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal von der Steuereinrichtung gesteuert wird.

11. Takterzeugungsschaltung nach Anspruch 10, dadurch gekennzeichnet, dass die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der Steuereinrichtung enthalten sind, in demselben Herstellungsprozess wie die in der Mehrzahl vorkommenden Verzögerungselemente, welche in der zweiten Verzögerungseinrichtung der Takterzeugungseinrichtung enthalten sind, hergestellt werden.

12. Takterzeugungsschaltung nach Anspruch 9, dadurch gekennzeichnet, dass die Steuereinrichtung (43) eine digitale Verzögerungsleitung (44) enthält, welche als die erste Verzögerungseinrichtung angeordnet ist, wobei eine durch die digitale Verzögerungsleitung bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und dass die zweite Verzögerungseinrichtung (45) der Takterzeugungseinrichtung eine digitale Verzögerungsleitung (45) enthält, wobei eine durch die digitale Verzögerungsleitung bereitgestellte Zeitverzögerung durch das Steuersignal von der Steuereinrichtung gesteuert wird.

13. Takterzeugungsschaltung nach einem der Ansprüche 9 bis 12, dadurch gekennzeichnet, dass der wenigstens an die eine Verzögerungsschaltung angelegte Bezugstakt dieselbe Frequenz wie der an die Takterzeugungseinrichtung angelegte Bezugstakt besitzt.

14. Takterzeugungsschaltung nach einem der Ansprüche 9 bis 13, des weiteren gekennzeichnet durch wenigstens eine andere Verzögerungsschaltung (18c; 18d) zur Einstellung der Phase des Taks mit der vorbestimmten Pulsiederholungsperiode von der Takterzeugungseinrichtung, wobei die andere Verzögerungsschaltung eine Oszillationseinrichtung zum Vergleichen der Phase eines daran angelegten Bezugstakts mit derjenigen eines zu vergleichenden anderen Takts enthält, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des Bezugstakts und des anderen Takts zu erzeugen, zum Erzeugen des anderen Takts unter Verwendung wenigstens einer Mehrzahl von in einer Schleife angeschlossenen Verzögerungselementen, wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals derart, dass der andere Takt in Phase mit dem

Bezugstakt gebracht wird, eine Speichereinrichtung zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen, und eine Verzögerungseinrichtung, welche eine Mehrzahl von Verzögerungselementen enthält, von denen jedes einen Eingang mit einer Verzögerungszeit bereitstellt, welche durch das Steuersignal von der Oszillationseinrichtung gesteuert wird, zur Bestimmung der Anzahl von Verzögerungselementen, durch welche ein Eingangssignal hindurchtreten soll, entsprechend den in der Speichereinrichtung gespeicherten Informationen, um den Takt von der Takterzeugungseinrichtung mit der vorbestimmten Zeitverzögerung zu versehen.

15. Phasensynchronisierungsschaltung mit: einer Oszillationseinrichtung (9) zum Vergleichen der Phase eines daran angelegten ersten Bezugstakts mit derjenigen eines zu vergleichenden anderen Takts, um ein Steuersignal mit einem Wert entsprechend der Phasendifferenz zwischen den Phasen des ersten Bezugstakts und des anderen Takts zu erzeugen, zum Erzeugen des anderen Takts unter Verwendung wenigstens einer Mehrzahl von in einer Schleife angeschlossenen Verzögerungselementen (8; 33), wobei eine durch jedes der in der Mehrzahl vorkommenden Verzögerungselemente bereitgestellte Zeitverzögerung durch das Steuersignal gesteuert wird, und zum Ändern des Werts des Steuersignals, so dass der andere Takt in Phase mit dem ersten Bezugstakt gebracht wird; einer Speichereinrichtung (19) zur Speicherung von Informationen, um eine vorbestimmte Zeitverzögerung festzulegen; einer Verzögerungseinrichtung (10, 12; 34), welche eine Mehrzahl von Verzögerungselementen (20; 35) enthält, von denen jedes einen Eingang mit einer Zeitverzögerung bereitstellt, welche durch das Steuersignal von der Oszillationseinrichtung gesteuert wird, zum Ändern der Anzahl von Verzögerungselementen, durch welche ein Eingangstaktsignal hindurchtreten soll, um das Eingangstaktsignal mit der vorbestimmten Zeitverzögerung zu versehen; und einer Phasensynchronisierungseinrichtung (38) zum Vergleichen der Phase eines daran angelegten zweiten Bezugstakts mit derjenigen eines Ausgangstaktssignals von der Verzögerungseinrichtung und zum Ändern der in der Speichereinrichtung gespeicherten Informationen derart, dass der zweite Bezugstakt in Phase mit dem Ausgangstaktsignal gebracht wird.

16. Phasensynchronisierungsschaltung nach Anspruch 15, dadurch gekennzeichnet, dass die in der Mehrzahl vorhandenen Verzögerungselemente, welche in der Oszillationseinrichtung enthalten sind, in demselben Halbleiterprozess wie die in der Mehrzahl vorhandenen Verzögerungselemente, welche in der Verzögerungseinrichtung enthalten sind, hergestellt werden.

Hierzu 13 Seite(n) Zeichnungen

FIG.1

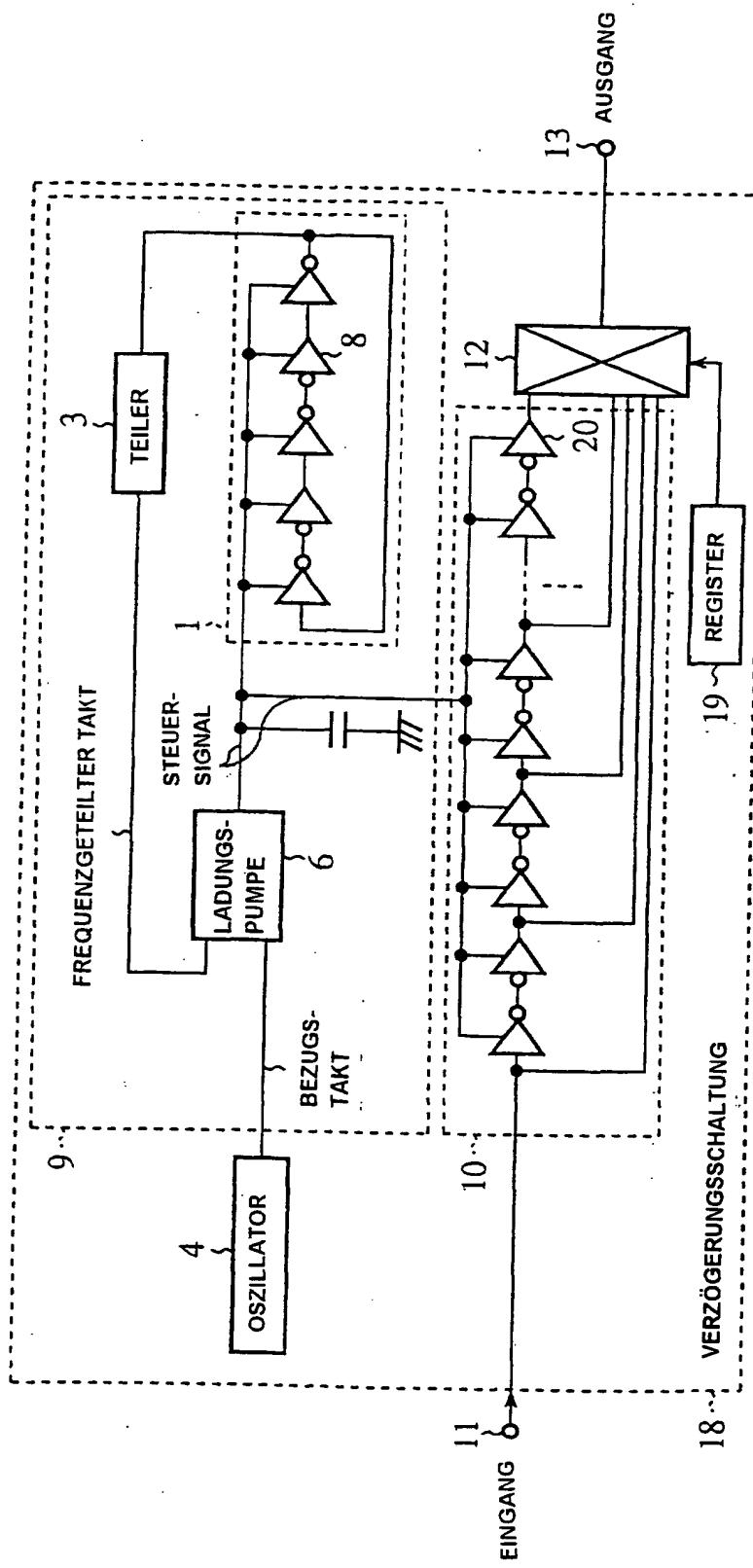


FIG.2

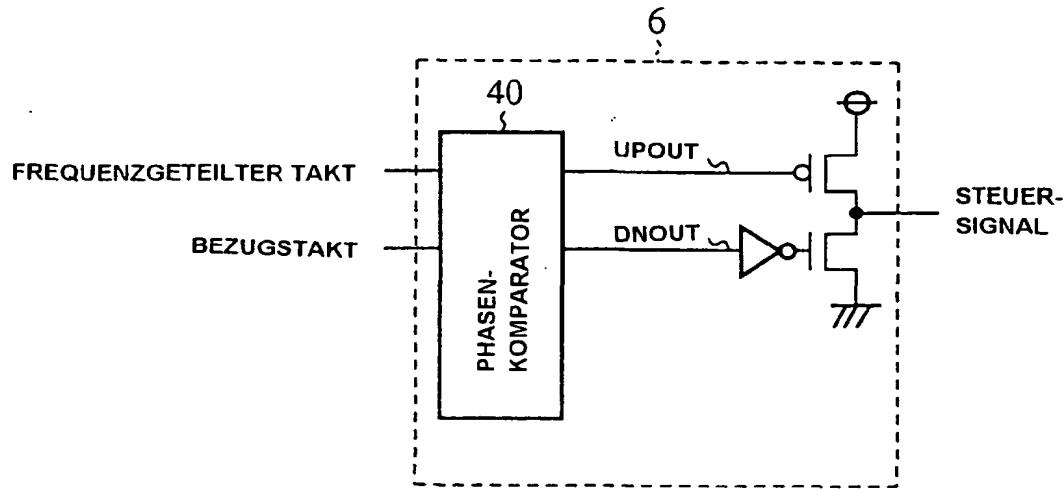


FIG.3

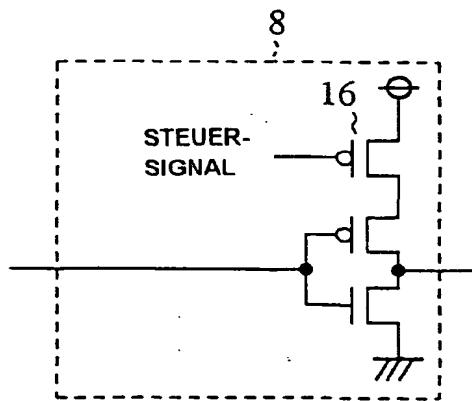


FIG.4

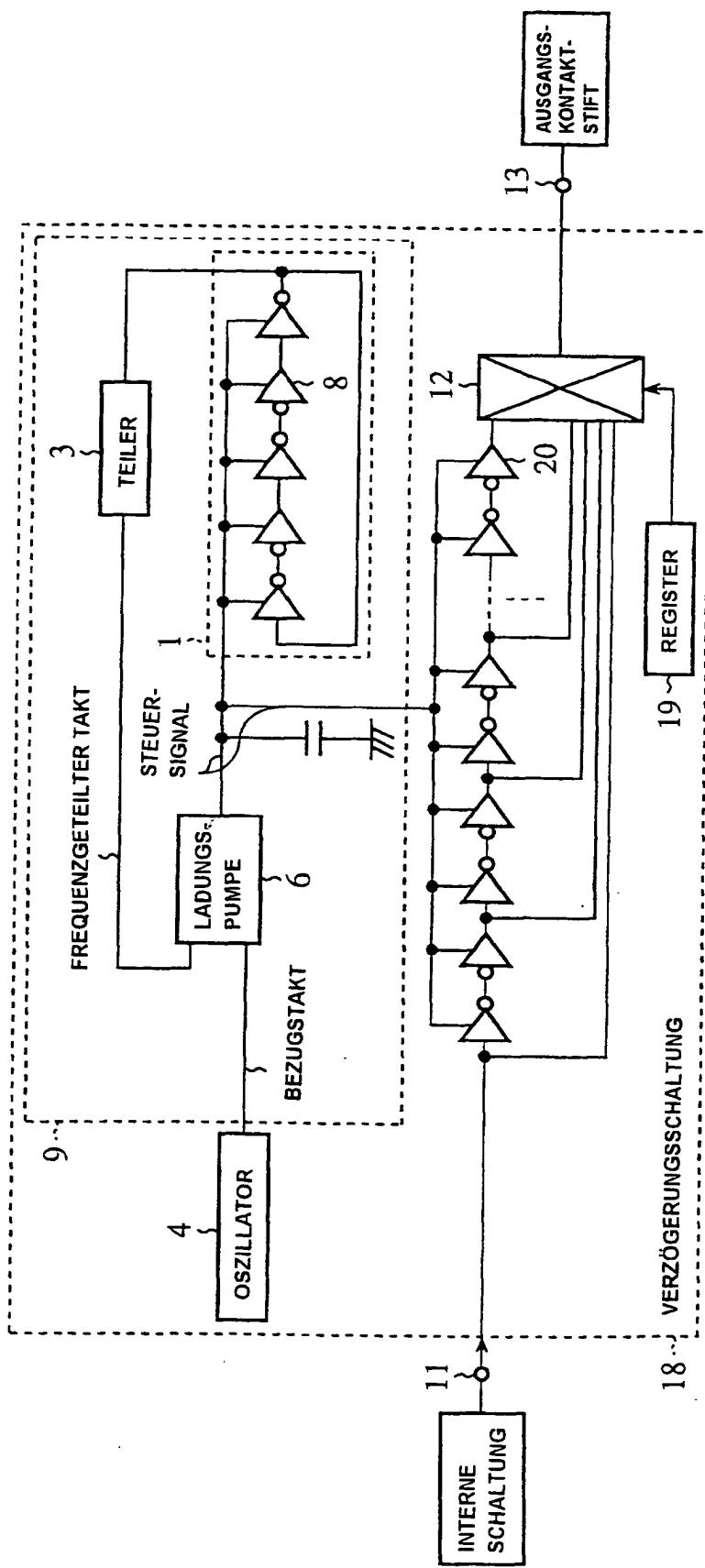


FIG.5

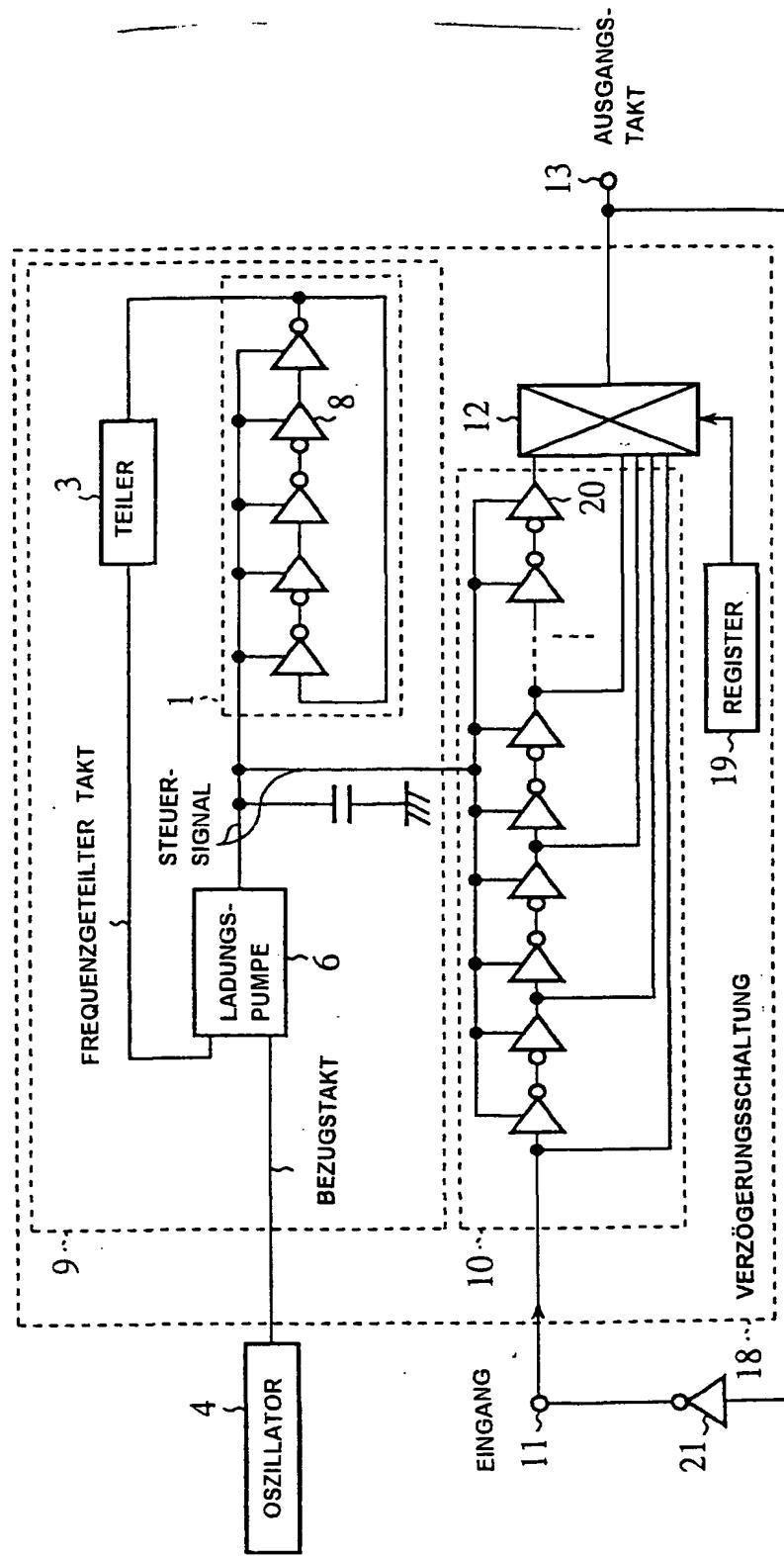


FIG.6

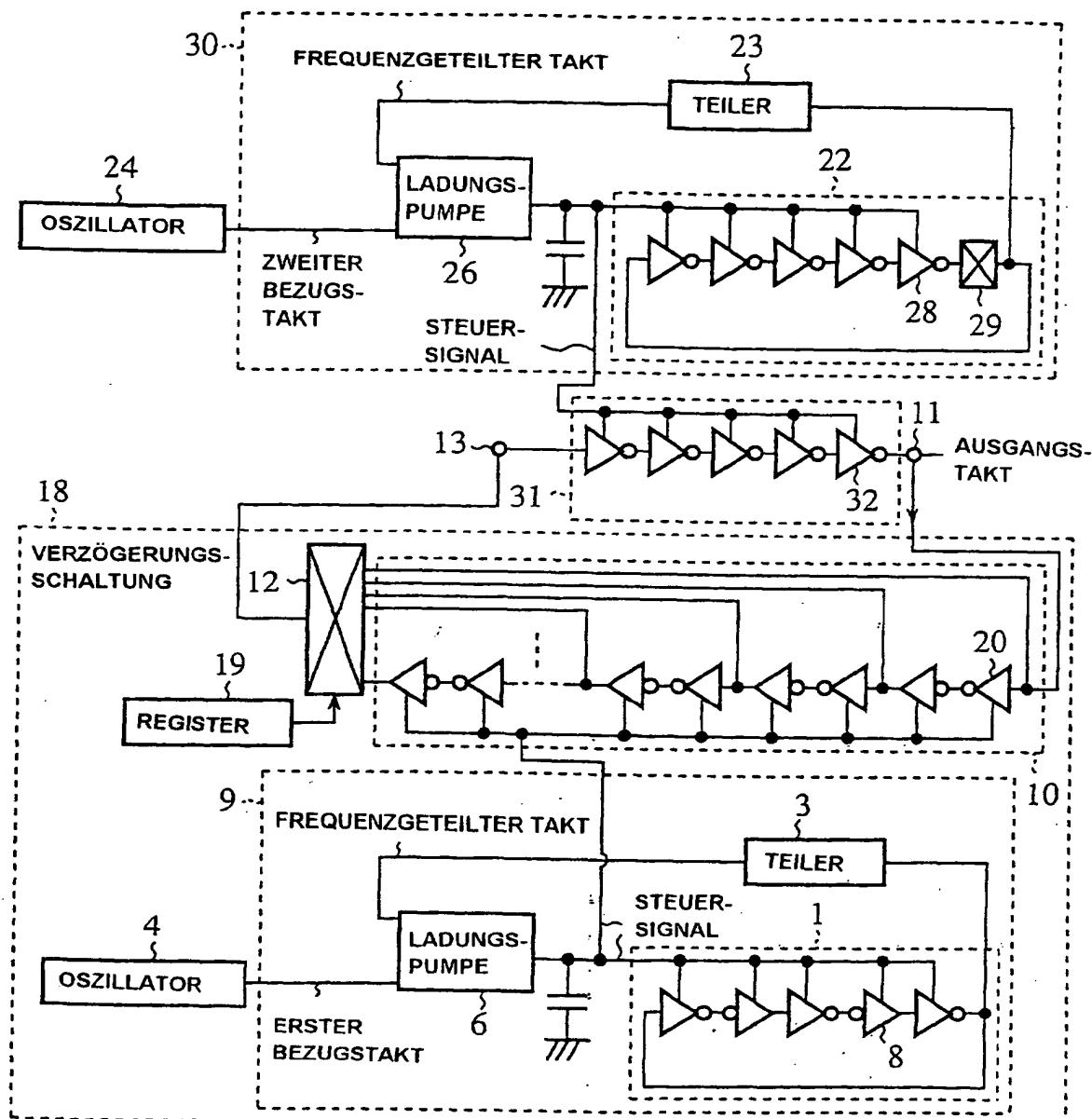


FIG.7

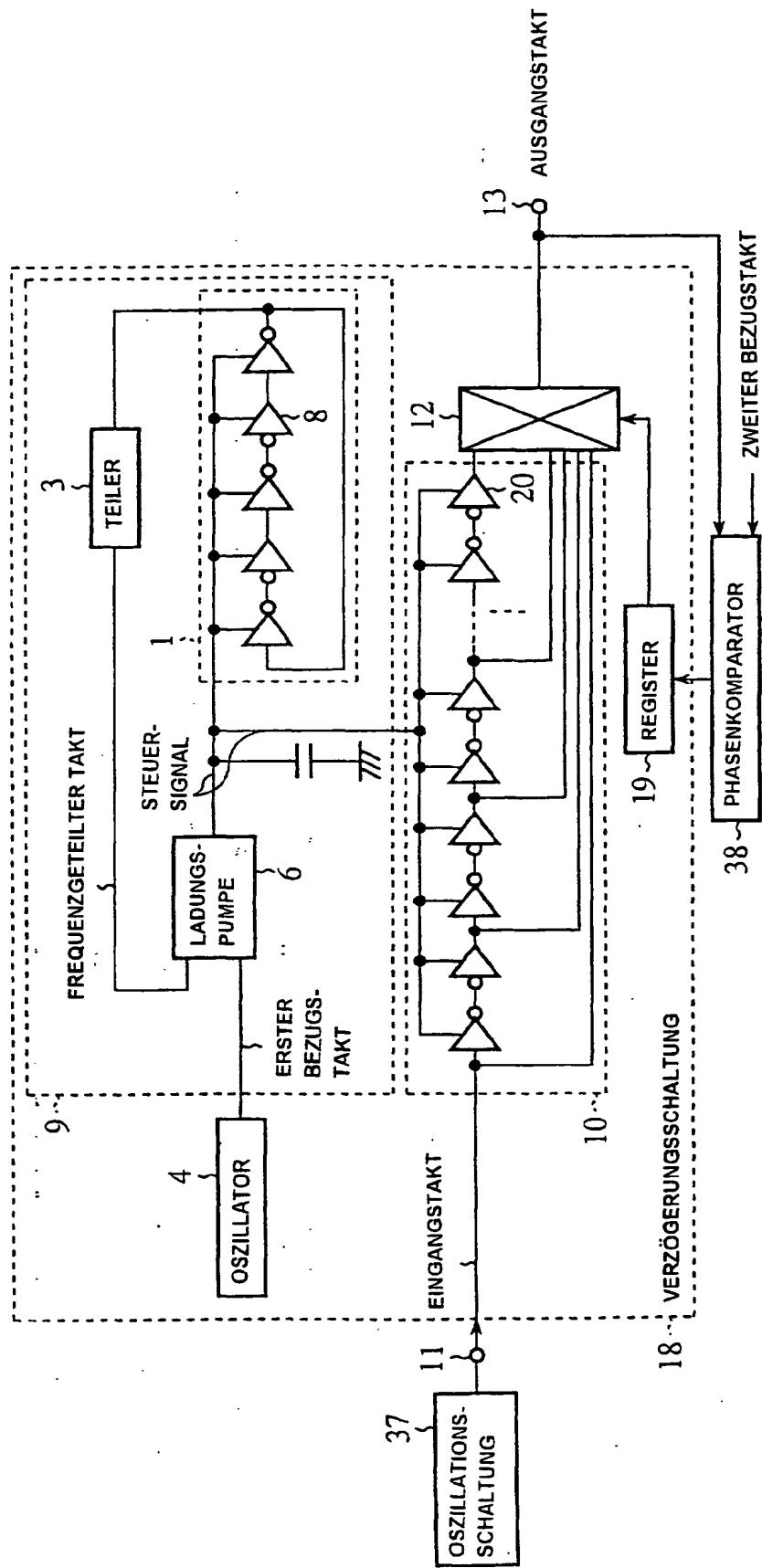


FIG. 8.

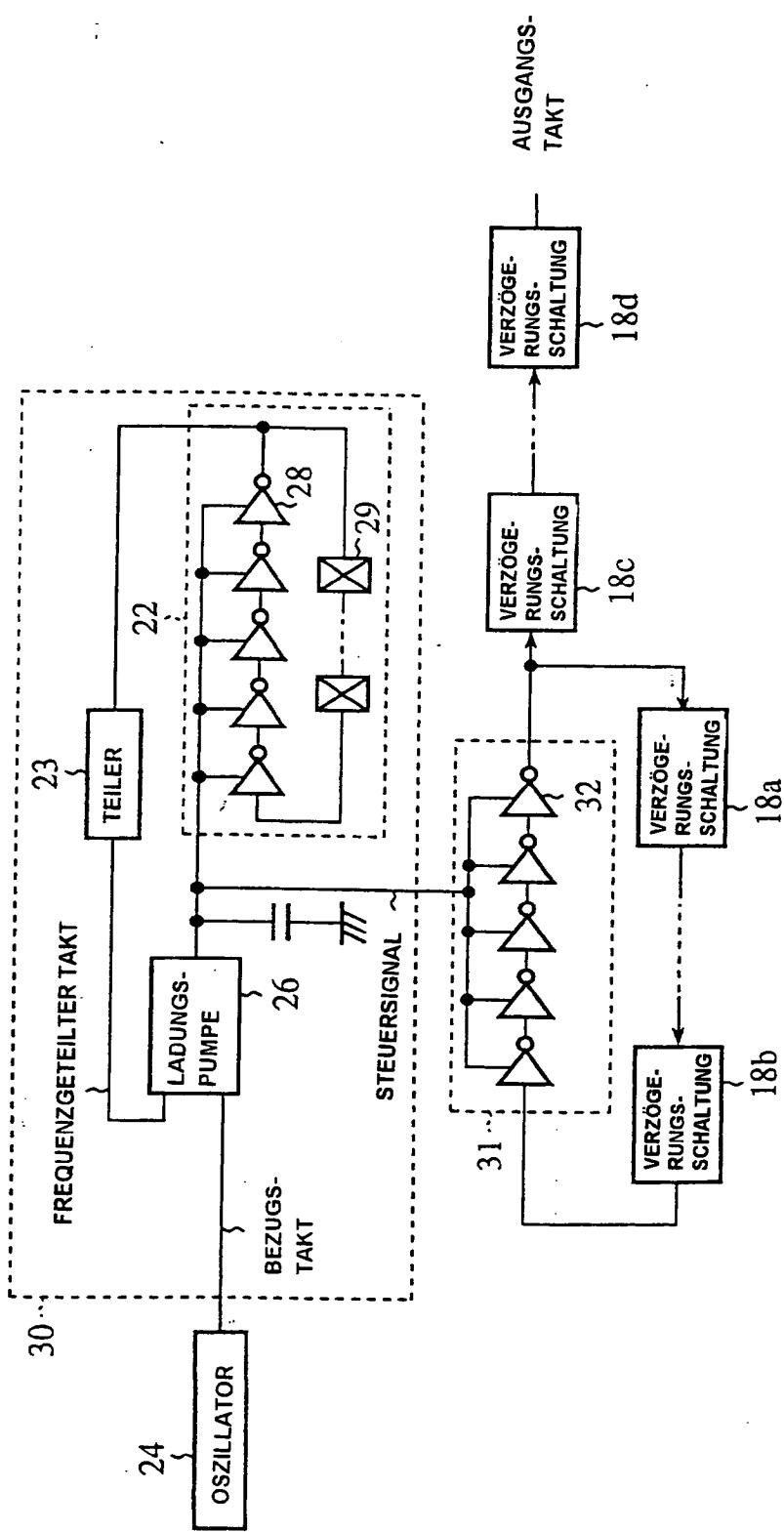


FIG. 9

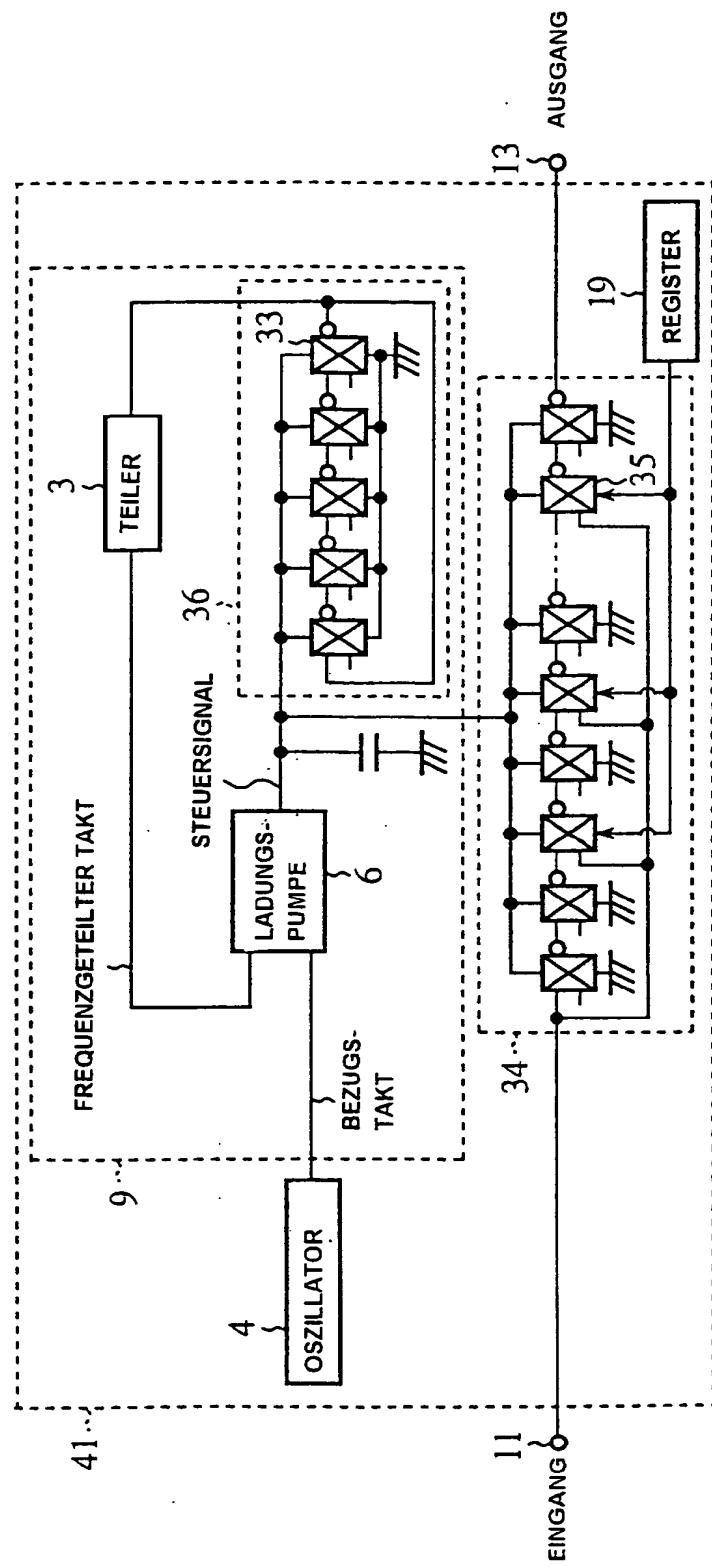


FIG.10

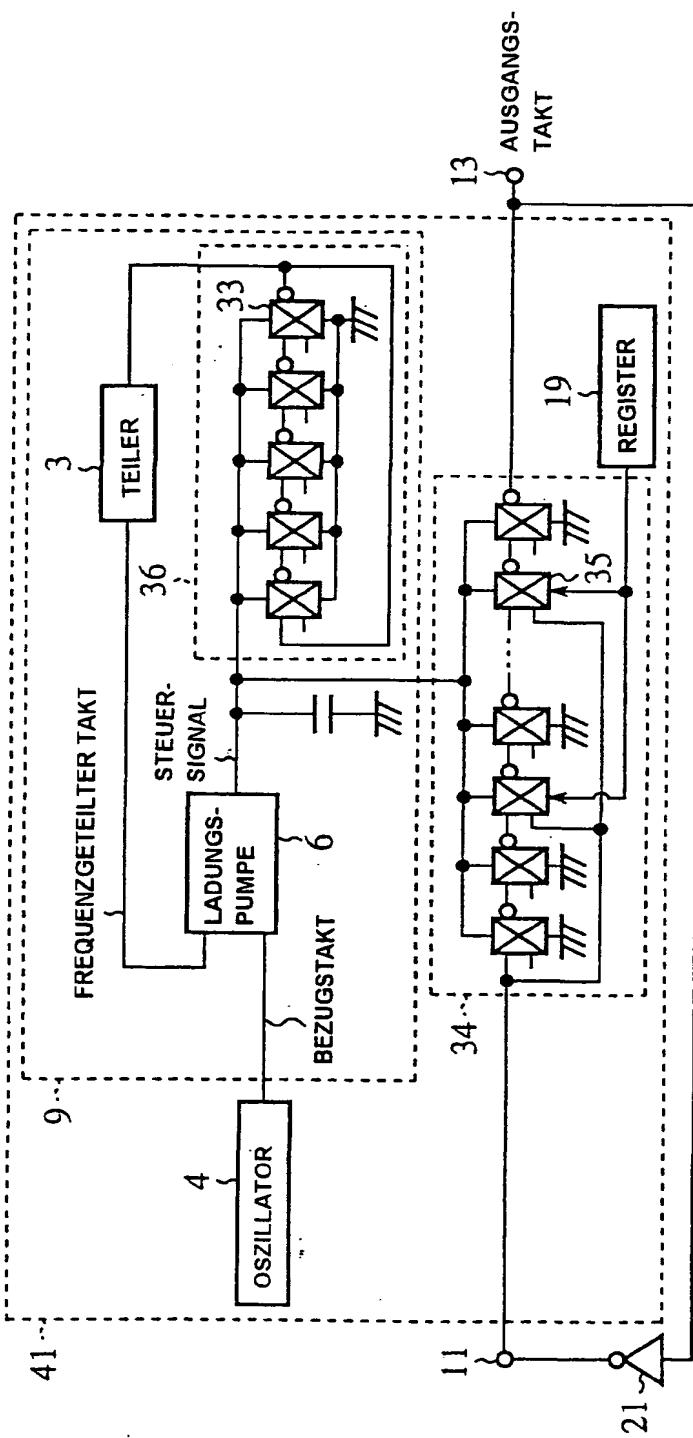


FIG. 11

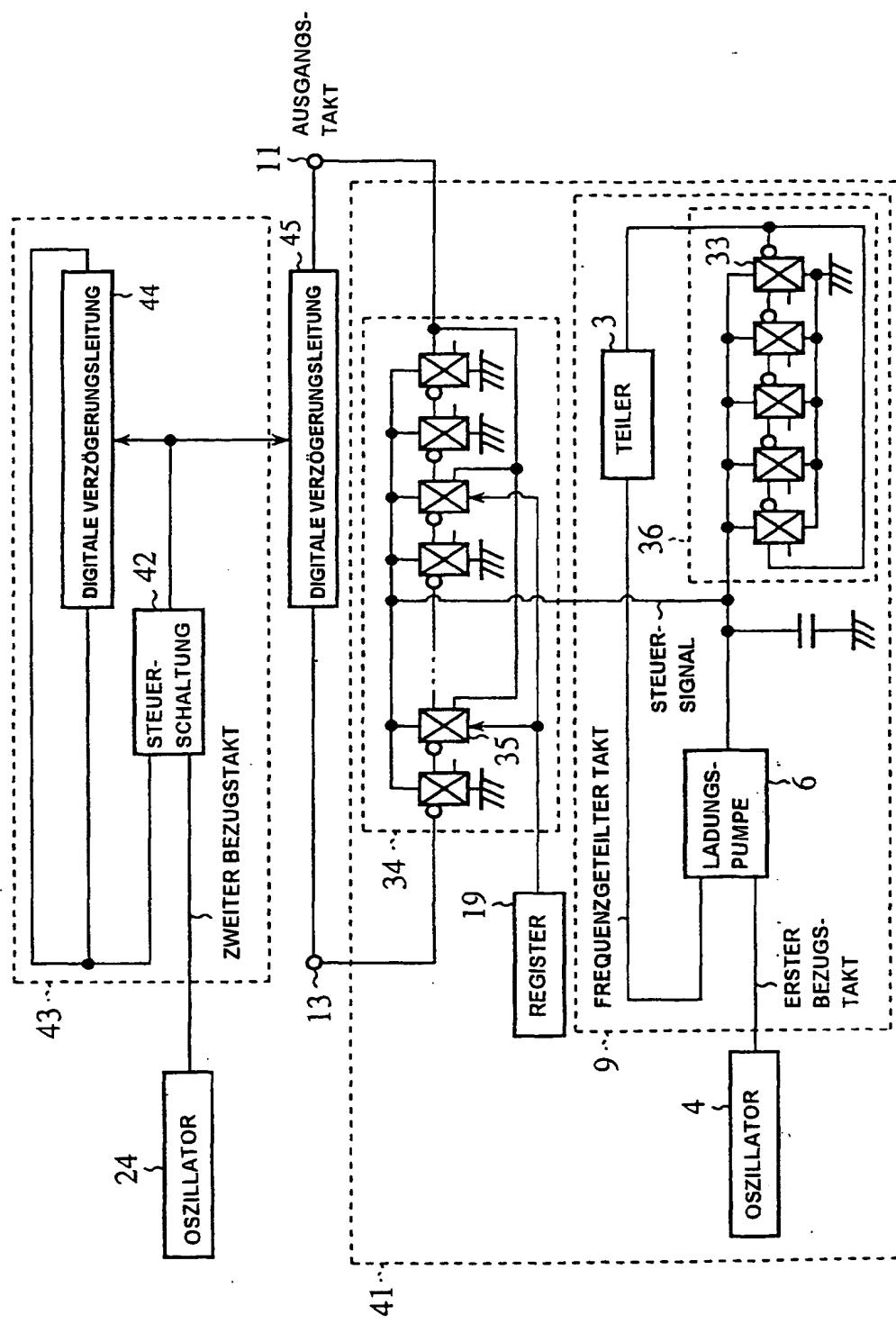


FIG.12

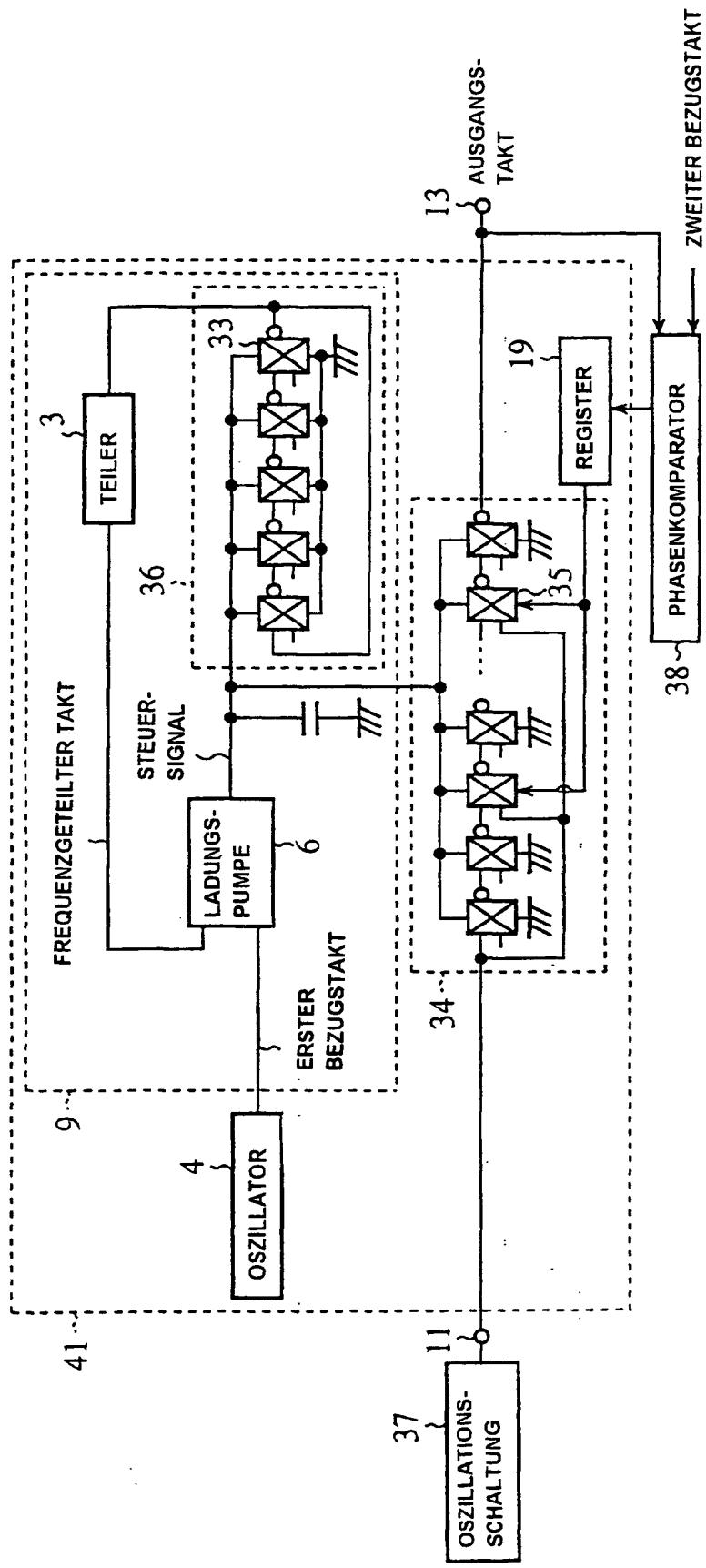


FIG.13 (STAND DER TECHNIK)

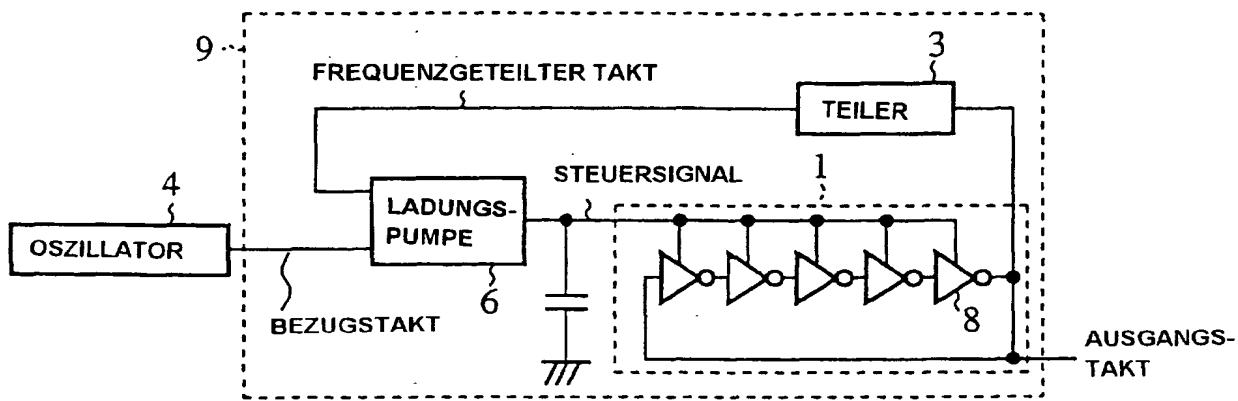


FIG.14 (STAND DER TECHNIK)

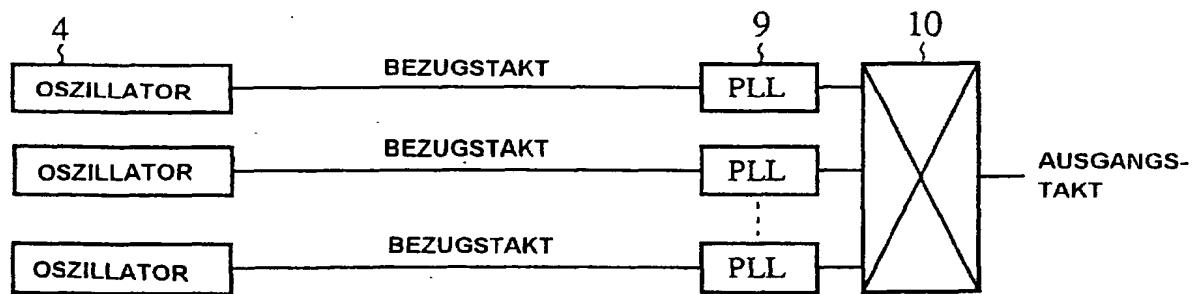


FIG.15 (STAND DER TECHNIK)

46

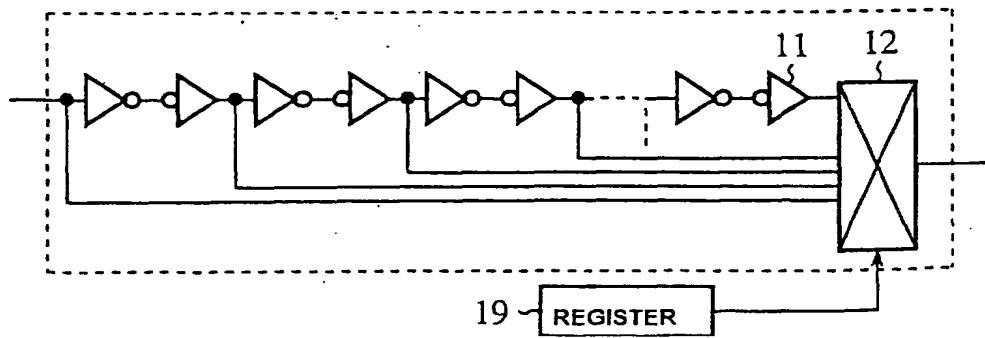


FIG.16 (STAND DER TECHNIK)

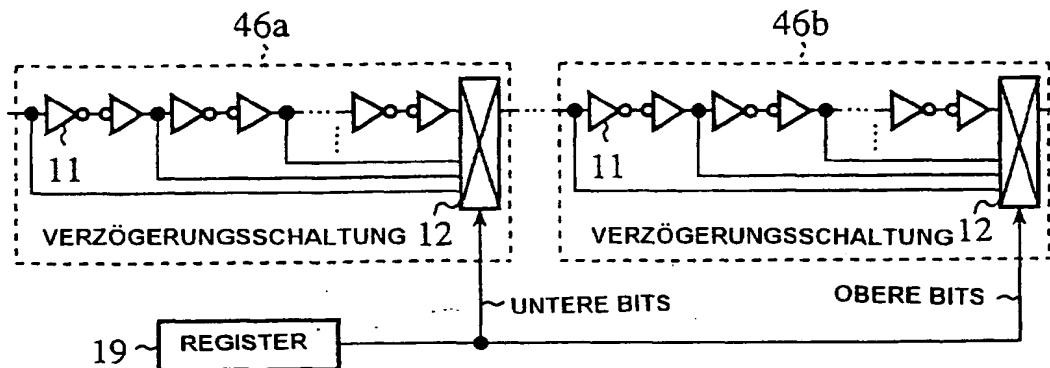


FIG.17 (STAND DER TECHNIK)

